文章编号: 1007-4627(2017)04-0755-07

基于开关电容阵列 ASIC 芯片的多通道波形数字化系统设计

鲁一鸣^{1,2},赵雷^{1,2,†},秦家军^{1,2},邓佩佩^{1,2},刘树彬^{1,2},安琪^{1,2}

(1. 中国科学技术大学核探测与核电子学国家重点实验室,合肥 230026;2. 中国科学技术大学近代物理系,合肥 230026)

摘要: 基于开关电容阵列(SCA)技术可以实现超高速的波形数字化。本研究是基于实验室设计完成的FEL_SCA芯片进行8通道2Gsps的波形数字化模块的设计,电路的配置和读出控制功能集成在单个FPGA中完成,此外该模块还包含SDRAM缓存及USB接口。目前已在实验室环境下对其进行了直流电压测试、瞬态波形测试和带宽测试,测试结果表明,在FEL_SCA芯片的输入动态范围100 mV~1 V之间,本波形数字化模块的INL好于1%,通道的RMS噪声约为1.76 mV,带宽约为450 MHz,达到设计目标。

关键词: 开关电容阵列; 波形数字化; FPGA; USB 中图分类号: TL503.6 文献标志码: A DOI: 10.1

DOI: 10.11804/NuclPhysRev.34.04.755

1 引言

在核物理与粒子物理试验中,应用高速采样进行探测器信号的全波形数字化,可以得到更全面更详细的物理信息,是目前核电子学和高能物理电子学领域的一个研究热点。

随着核物理与粒子物理实验的规模日益扩大,其 电子学通道往往数以万计,基于高速 ADC (Analog-to-Digital Converter)的传统波形数字化技术^[1],因其功 耗大、集成度低、成本高昂等因素已不能满足实验需 求。而基于开关电容阵列 (Switched Capacitor Arrays, SCAs)的波形数字化技术,采用高速模拟采样,低速模 数变换的路线^[2],可以以较低功耗实现超高速的采样, 受到广泛关注和使用。

基于开关电容阵列的波形采样是指在每个采样通道 内分布有多个采样单元,每个采样单元包含有一组开关 和电容,每个开关在多相位写时钟的控制下依次闭合和 断开,断开时刻的模拟电压值被保留在采样单元的电容 上^[3]。相邻采样开关的断开时间间隔即为采样间隔,该 时间间隔由片内延迟单元控制,延迟单元可以实现百皮 秒级别的时间延迟,因而可以实现很高的等效采样率。 采样完成后再配以较低速率的内部量化电路或者外接商 用ADC来实现数字化。基于SCA的波形采样模块内部 结构示意图如图1所示。



图 1 SCA 内部结构示意图

因此,国内外都在进行基于开关电容阵列的波 形数字化芯片的探索和研究,近几年来国外已有 几款成熟的芯片投入在大型物理实验中使用,例如 在瑞士MAGICII实验望远镜中使用的DRS (Domino Ring Sample)芯片^[4]、在地中海大型天体高能物 理研究ANTARES (Astronomy with a Neutrino Telescope and Abyss environmental Research)实验中使 用的ARS (Analogue ring sampler)芯片^[5]、在纳米 比亚的地面切伦科夫望远镜系统H.E.S.S.-II 中使用 的 SAM (Swift Analogue Memory)芯片等^[6–8]。

目前,中国科学技术大学核探测与核电子学国家 重点实验室已设计了一款FEL_SCA ASIC芯片,该芯 片采样率为1~2 Gsps,输入带宽≥300 MHz,单片集 成两个采样通道,每个通道的采样深度为128 cells,其 内部集成Wilkinson ADC实现片内数字化,数据位宽 为12 bit,串行数据读出速率为50 MHz。本设计就是

收稿日期: 2017-03-14; 修改日期: 2017-04-24

作者简介: 鲁一鸣(1992-), 女, 安徽巢湖人, 硕士研究生, 从事核电子学研究; E-mail: luym2014@mail.ustc.edu.cn † 通信作者: 赵雷, E-mail: zlei@ustc.edu.cn。

基金项目: 中国科学院前沿科学重点研究项目 (QYZDB-SSW-SLH002); 安徽省杰出青年科学基金 (1708085J07); 国家自然科学基金资助项目 (11079003); 中国科学院知识创新工程重要方向性项目 (KJCX2-YW-N27)

利用4块FEL_SCA ASIC,进行8通道2 Gsps的波形 数字化模块的设计。

2 系统总体结构设计

整个波形数字化模块由5个部分组成:电源电路、 时钟产生及分发电路、模拟前端电路、SCA波形采样 及量化电路、配置及数据处理电路(FPGA)。

在本波形数字化模块中,集成了4片FEL_SCA

ASIC芯片,以实现8通道的信号输入。因此采样时 钟由晶振或外部时钟源产生后需要经过扇出芯片分 别输出至4片FEL_SCA。8个输入信号通过交流耦合 的方式分别接入模拟前端电路,并由DAC (Digital-to-Analog Converter)提供交流耦合后的直流偏置电平。 FEL_SCA芯片产生的输出信号由FPGA进行统一接收 和处理,并进一步存储至SDRAM,再通过USB接口 传输至PC端进行分析^[9]。系统总体结构设计框图如 图2所示。



3 系统硬件实现

3.1 模拟前端电路

由于FEL_SCA芯片内部没有信号驱动电路,所 以输入信号需要经过外部驱动之后进入芯片^[10]。考 虑到芯片的输入信号带宽≥300 MHz,最终buffer选 择ADA4857,其-3 dB带宽为750 MHz,经过pspice 仿真,ADA4857在输入信号为300 MHz时幅频响应仅 下降1.34 dB,因此在芯片允许的输入模拟带宽范围 内具有平坦的幅频响应曲线,可以保证输入信号不会 失真。同时为了对比评估该buffer对输入信号的影响, 也设计了将输入信号直接接入FEL_SCA芯片的通路, 在 PCB上由电阻进行选择。

芯片设计的输入动态范围为100 mV~1V,为了 应用于多种应用场景,并且滤除一些低频噪声,对输 入信号进行了交流耦合处理^[11],输入信号经交流耦 合后的直流偏置电压由14 bit 的DAC AD5685R 提供, 该DAC 具有4个输出端口,每个输出端口可以分别配 置至不同电压值,因此,8个采样通道仅需要2片DAC

提供偏置电压,提高了模拟前端电路的集成度。整个模 拟前端电路原理示意图如图3所示。





3.2 时钟产生及分发电路

对于一个高精度的波形数字化系统来说,时钟系统的设计至关重要。SCA采样时钟的不确定性会导致采样的孔径偏差(Aperture Uncertainty),从而增加系统噪声,引起采样波形的幅度偏差。其中,有效位与Aperture Uncertainty的运算关系如公式(1)、(2)所示^[12]:

$$SNR = 6.02 \times ENOB + 1.76 , \qquad (1)$$

$$SNR = -20\log 2\pi f_{\rm in}\sigma_{\rm jitter} , \qquad (2)$$

其中: ENOB为有效位; SNR为信噪比; *f*_{in}为输入信 号频率; σ_{jitter}为孔径偏差。根据公式,图4给出了有 效位与孔径偏差和输入频率的关系图。



图 4 (在线彩图)有效位与孔径偏差和输入频率的关系

根据计算可得,在本设计中,若想满足 $f_{in} = 300$ MHz, ENOB = 8的设计要求,需要整个时钟分发模 块的 σ_{jitter} 控制在1.6932 ps内。在本设计中,为了实 现 SCA 等效1~2 Gsps 采样,即等效采样间隔为0.5~1 ns,需要片外输入时钟周期为64~128 ns 可调。本系统 选用 62.5 MHz 的高质量晶振,产生周期为16 ns 的时钟 信号,再利用分频器进行 4~8 分频后送入芯片。此外,由于板上存在4块FEL_SCA芯片,因此时钟还需要接入扇出芯片,以便扇出四路时钟分别接入FEL_SCA。考虑到各部分的 σ_{jitter} 累加后应满足性能要求,因此晶 振选用 SiT9121, RMS Phase Jitter 约为0.6 ps;分频 器选择为 CDCM1804, RMS Phase Jitter 约为0.4 ps;扇出芯片选择为LMK00804B, RMS Phase Jitter 约为0.04 ps,经计算:

$$\sigma_{\text{jitter}} = \sqrt{0.6^2 + 0.4^2 + 0.04^2} = 0.7 \text{ ps}$$
, (3)

可满足性能要求。与此同时,为了满足物理实验中可能

要求接收外部同源参考时钟的需求,在时钟电路内还设 计有外部时钟输入接口,并通过甄别器产生FEL_SCA 所需要的3.3VCMOS时钟信号。整个时钟产生及分发 电路原理示意图如图5所示。





3.3 配置及数据读出接口电路

本系统使用 Xilinx 公司的 Artix-7 系列 FPGA 进行 SCA 芯片的配置和数据的采集。首先,由 FPGA 产生配置信号进行 SCA 的配置,其次,当 SCA 开始工作后,为 SCA 内各个通道提供一个 FIFO 进行数据缓存,但是由于 FPGA 内 FIFO 容量有限,且当多通道进行工作时,为了避免数据读出速度影响采样事例率,需要在当 FPGA 内 FIFO 的数据缓存满足一定条件后,将数据写入 SDRAM,再利用 FPGA 将 SDRAM 内的数据读出,并传输至 USB 控制芯片,进而通过 USB 接口传输至上位机进行处理。

其中,SDRAM选用 Micron 公司的 MT48LC4M32 B2,其容量为128 Mb,最高工作频率可以达到166 MHz,可满足 8 通道同时并行采样下的需求。USB 控制 芯片选用 CYPRESS公司的 CY7C68013A,其内部集成 有 USB2.0 收发器、串行接口引擎 (SIE)、增强型 8051 微控制器,数据传输速率可达到每秒53 MB 以上,是 目前使用较为成熟的一款 USB 控制芯片^[13]。

整个配置及数据读出接口电路原理示意图如图6所示。



图 6 配置及数据读出接口电路原理示意图

3.4 FPGA逻辑设计

可编程逻辑器件 FPGA 是波形数字化模块的核心 部件之一,其主要功能是实现 DAC 和 SCA 的配置以及 波形数字化数据的存储与传输。

在SCA工作过程中,各通道波形数字化之后的数据由芯片串行输出。在实际应用中,当8个通道同时工作时,为了避免某一通道出现超高数据率而导致数据拥堵的情况,本模块内设计了多级缓存机制进行数据存储。主缓存利用大容量片外SDRAM来实现,在数据到达SDRAM之前还设计有通道FIFO作为一级缓存。SCA芯片各通道串行输出的数据首先存储在各通道FIFO中,当FIFO内已存储数据达到一定的读出条件(例如:FIFO半满状态)时,启动数据读出;当多

个 FIFO 同时满足读出条件时,基于令牌环机制将相应 FIFO 内的数据依次读至 SDRAM。SDRAM 中数据 经缓存后再回读至 FPGA 中,并经 USB 控制逻辑传输 至片外 USB 芯片中,然后进一步发送至上位机进行数 据分析及显示。

除此之外,FPGA还可以接收来自于上位机的配置命令和数据,实现对DAC的时序配置。由于本模块内包含有两种DAC,一种是产生SCA工作所需模拟电压的DAC,另一种是为交流耦合后的输入信号提供直流偏置的DAC。上位机命令及配置数据通过USB传输至FPGA,处理后进行DAC的选择并产生相应的配置数据流传输至DAC控制端。

整个 FPGA 内部逻辑设计框图如图 7 所示。



4 性能测试

4.1 测试平台搭建

电源模块接收稳压电源提供的±6.5V的电源, 产生测试模块所需的±5,+3.3,+1.8和+1.0V的 电压。测试所用的正弦波由高质量射频信号发生 器ROHDE&SCHWARZ SMA100A产生,高斯窄脉 冲利用 Agilent 任意波形发生器产生。数据读出通 过 USB 接口传输至上位机,进而进行数据处理和分 析。

完整的测试平台如图8所示。

4.2 直流电压测试

由于 FEL_SCA 芯片的输入动态范围为 100 mV~



图 8 (在线彩图)测试平台

1 V,因此直流电压测试选择了从0 V 至 1 V 内每隔 100 mV 电压值以及 1 050 mV 电压值进行输入,这样可以

尽可能的覆盖到芯片输入的动态范围,以便做幅度刻 度。因此,对4个FEL_SCA的共8个通道分别输入12 组电压值,每通道的每组电压值采样500次,对采样后 的各通道数据进行分析与波形还原。

以Channel 2 输入的1000 mV 直流电平为例,将500次采样的结果进行平均,可以得到128个cell 采样1000 mV的均值,如图9 所示。



图 9 (在线彩图) Channel 2 在 1 000 mV 输入下 500 次 测量均值

对其余电压幅度重复上述操作,得到128个cell 在每个幅度输入下的平均值,从而可以得到128 个cell的输入输出转换曲线(如图10所示)与积分非 线性(Integral nonlinearity, INL)曲线(如图11所示), 图11测试结果表明,在FEL_SCA芯片的输入动态 范围100 mV~1V之间,本波形数字化模块的INL 好于1%。此外,测试表明通道的RMS噪声约为 1.76 mV,即等效的有效位为8.7 bit。



图 10 (在线彩图) Channel 2 各 cell 输入输出转换曲线



图 11 (在线彩图) Channel 2 各 cell 的 INL 曲线

4.3 瞬态波形测试

直流电压测试后,进行瞬态波形采样测试。瞬态波 形测试分别采集了正弦波信号和高斯窄脉冲信号。

首先,利用SMA100A,产生高精度正弦波信号, 通过交流耦合输入到SCA芯片,交流耦合后的偏置电 压设为500 mV,峰峰值为800 mV,频率为51 MHz。 图12(a)显示了波形数字化测量结果,可以看到在 第121 Cell处存在断点,这是因为SCA芯片内的128 个 cell是循环采样的,断点则对应采样停止位置。我们 可以根据此特性对图12(a)中的波形进行重新拼接,还 原出真实的波形,拼接后的波形如图12(b)所示,其中 横坐标相应地直接对应为采样时间。



图 12 (在线彩图)正弦波采样的原始波形图(a)及重新拼接后的波形图(b)

其次,再利用 Agilent 任意波形发生器产生基线电 压为100 mV,峰值为800 mV的高斯信号波形,采样 并处理后得到的测试结果如图13 所示。



路后分别送入4片FEL_SCA的8个采样通道进行波形数字化,将采集后的波形数据经过处理还原后得到的8 通道波形测试结果如图14所示。为了便于观测,在数据处理时将各通道波形以1 ns为间隔平移开来进行显示。



图 14 (在线彩图) 8 通道正弦波测试结果图

可以看出,本波形数字化模块可以实现对高速瞬态 波形的采集,测试结果表明各通道工作正常,结果与预 期相符。

4.4 带宽测试

FEL_SCA芯片的设计带宽≥300 MHz,在带宽测试中,向芯片输入相同幅度下的不同频率信号,测试信号频率取10 MHz到800 MHz中的20个对数频率点,得到芯片模拟输入通道的幅频响应图如图15 所示。可以看出,该波形数字化系统-3 dB带宽约为450 MHz,满足设计要求。



图 15 芯片模拟输入通道的幅度频率响应图

5 结束语

本工作完成了一个8通道的高速波形数字化模块的 设计,可以实现8个通道2Gsps并行高速采样。SCA输 出数据结果送入FPGA进行分析,并可以根据应用需 求的不同,灵活定制所需信号处理逻辑,数据结果 经SDRAM缓存后,通过USB接口读出至远程PC的 上位机进行进一步的分析和显示。此外,还对此模块进 行了实际的直流电压测试、瞬态波形测试和带宽测试, 测试表明电路工作正常,各项结果符合预期。

致谢 在此特别向美国芝加哥大学的汤福坤、中国科学 院高能物理研究所的魏微、清华大学的邓智及其他同仁 在此论文工作中给予的帮助表示感谢。

参考文献:

- ZHANG Jingzhe. Data Readout Method and Circuit Research Based on the Waveform Sampling Technology [D], Lanzhou: Institute of Modern Physics, Chinese Academy of Sciences, 2006. (in Chinese)
 (张惊蛰. 基于波形采样技术的数据读出方法与电路研究[D]. 兰 州: 中国科学院近代物理研究所, 2016.)
- [2] ZHANG H Y, DENG Z, LIU Y N. Chinese Physics C, 2016, 40(7): 076102.
- [3] YANG Haibo, SU Hong, KONG Jie, et al. Chinese Physics C, 2015, 39(5): 056101.
- [4] RITT S, DINAPOLI R, HARTMANN U. Nucl Instr Meth
 A, 2010, 623(1): 486.
- [5] LACHARTRE D, FEINSTEIN F. Nucl Instr Meth A, 2000, 442(1): 99.
- [6] DELAGNES E, DEGERLI Y, GORET P, et al. Nucl Instr Meth A, 2006, 567(1): 21.
- [7] OBERLA E, GENAT J F, GRABAS H, et al. Nucl Instr Meth A, 2014, 735: 452.
- [8] VARNER G S, RUCKMAN L L, NAM J W, et al. Nucl Instr Meth A, 2007, 583(2): 447.
- [9] WANG J, ZHAO L, FENG C, et al. Nucl Sci & Technology, 2012, 23(2): 109.
- [10] WANG J, ZHAO L, FENG C, et al. IEEE Transactions on Nuclear Science, 2012, 59(5): 2435.
- [11] YANG Haibo. Signal Reading Method and Circuit Design for Multiple Detection Unit Based on the Advanced ASIC Chips [D]. Lanzhou: Institute of Modern Physics, Chinese Academy of Sciences, 2015. (in Chinese)
 (杨海波. 基于先进 ASIC 芯片的多探测单元信号读出方法与电 路设计[D]. 兰州:中国科学院近代物理研究所, 2015.)
- [12] WANG Jinhong. Research of Waveform Digitization with Switched-Capacitor Arrays [D]. Hefei: University of Science and Technology of China, 2012. (in Chinese) (王进红. 基于开关电容矩阵的波形数字化技术研究[D]. 合肥: 中 国科学技术大学, 2012.)
- [13] ZHANG Congcong, TAN Bo. Electronic Measurement Technology, 2016(10): 162. (in Chinese)
 (张丛丛, 谭博. 电子测量技术, 2016(10): 162.)

Multi-channel Waveform Digitization System Utilizing Switched Capacitor Array ASICs

LU Yiming^{1,2}, ZHAO Lei^{1,2,†}, QIN Jiajun^{1,2}, DENG Peipei^{1,2}, LIU Shubin^{1,2}, AN Qi^{1,2}

(1. State Key Laboratory of Particle Detection and Electronic, University of Science and Technology of China, Hefei 230026, China;

2. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract: Switched Capacitor Arrays (SCAs) can be employed to achieve high speed waveform digitization. In this paper, we designed an 8-channel 2 Gsps waveform digitization module using four SCA chips named FEL_SCA which was designed in our laboratory. In this module, we used a FPGA device for data readout and circuit configuration. Besides, a 128 Mb SDRAM and USB interface were integrated in this module. We have also conducted DC voltage tests, transient tests and bandwidth tests on this module. The results indicate that in the signal voltage range 100 mV \sim 1 V, the INL is better than 1%, the RMS noise is about 1.76 mV and the -3 dB JSB CA MWW. MPT. aC. AL input bandwidth is 450 MHz.

Key words: switched capacitor array; waveform digi tization; FPGA; USB

Received date: 14 Mar. 2017; Revised date: 24 Apr. 2017

Foundation item: Key Research Program of Frontier Sciences, CAS (QYZDB-SSW-SLH002); Science Fund for Distinguished Young Scholars of Anhui Province (1708085J07); National Natural Science Foundation of China (11079003); Knowledge Innovation Program of Chinese Academy of Sciences (KJCX2-YW-N27)

† Corresponding author: ZHAO Lei, E-mail: zlei@ustc.edu.cn.