

文章编号: 1007-4627(2018)01-0066-06

重离子辐照带有ECC的65 nm SRAM器件 “伪多位翻转”特性研究

王斌^{1,2}, 刘杰^{1,†}, 刘天奇¹, 刁凯³, 叶兵^{1,2}, 侯明东¹, 孙友梅^{1,2},
殷亚楠^{1,2}, 姬庆刚^{1,2}, 赵培雄^{1,2}, 李宗臻^{1,2}

(1. 中国科学院近代物理研究所, 兰州 730000;
2. 中国科学院大学, 北京 100049;
3. 中国科学院微电子研究所, 北京 100029)

摘要: 为了提高纠错编码(ECC)的有效性, 先进的静态随机存储器(SRAM)多采用位交错结构。但是, 在没有物理版图信息的情况下, 位交错设计使得从辐照测试数据中提取出多单元翻转(MCU)变得更加困难。运用Bi离子辐照带有ECC的65 nm SRAM器件, 研究了该款器件在重离子辐照下的敏感性。为“伪多位翻转(FMBU)”以及MCU的数据分析提供了理论指导和帮助, 完善了判别MCU的基本法则。除此之外, 研究结果表明, ECC的汉明编码对于纳米器件的效果不够理想。在未来的空间应用中, 需考虑更高层次的编码算法来抵抗单粒子翻转。

关键词: 重离子辐照; 静态随机存储器; 错误检查和纠正; 伪多位翻转

中图分类号: O571.33 **文献标志码:** A **DOI:** 10.11804/NuclPhysRev.35.01.066

1 引言

在当今的微处理器中, 嵌入式存储器占据了超过30%的芯片面积, 而片上系统中该比例甚至超过60%^[1, 2]。在存储电路中, 辐照引起的单粒子效应(Single Event Effects, SEEs)是先进半导体存储器可靠性的关键影响因素。不管是在地面, 还是在空间应用中, SEEs对电路的正常工作都产生严重威胁。随着半导体器件的特征尺寸不断缩小, SEEs对半导体电路的影响显著增加^[3]。此外, 晶体管工艺节点的微缩也导致单个粒子影响多个物理临近存储单元翻转几率的增加^[4-9], 该现象被称为多单元翻转(Multiple Cell Upsets, MCU)。如果MCU发生在同一个字或字节中, 则被称之为多位翻转(Multiple Bit Upsets, MBU)。MBU降低了纠错编码(Error Correcting Codes, ECC)的有效性, 例如: 纠一检二编码(Single-Error Correct/Double-Error Detect codes, SECEDED), 其不具备在一个字或字节中纠正多个错误的功能。近年来, 在静态随机存储器(Static Random Access Memory, SRAM)阵列中, 通过位交错结构(bit interleaving architecture)的方式将单

个MCU转化成多个SBU(Single Bit Upset, SBU), SBU可以被SECEDED所纠正。该方法的运用可显著降低MCU的危害^[10]。2005年, Radaelli等^[11]利用中子研究了150 nm SRAM器件的MBU, 发现存储器的结构影响ECC的有效性, 并且指出位交错结构结合ECC是一种有效的降低MBU的方法。2014年, Tong等^[12]利用C离子辐照了两款SRAM器件: 一款带有ECC及位交错结构, 另一款则没有, 研究结果表明前者相比于后者在单粒子翻转(Single Event Upset, SEU)饱和截面上下降了两个数量级。但是当重离子产生的径迹电荷的影响范围超过位交错结构的间距时, 将降低该加固方法的有效性。2014年, Wirthlin等^[13]利用重离子(最重为Xe离子)研究了位交错结构对MBU的影响, 提出了一种在物理版图未知的情况下, 从辐照测试数据中提取出MCU信息的技术, 并成功运用于28 nm的FPGA器件。在本文中, 我们利用更重的Bi离子(其产生的径迹电荷影响范围更大, 对ECC的影响更显著)辐照带有ECC(汉明码)和位交错结构的65 nm SRAM器件, 研究了该款器件在Bi离子辐照下的敏感性, 并详细讨论了“伪多位翻转(FMBU)”的数据特性。

收稿日期: 2017-03-19; 修改日期: 2017-04-25

基金项目: 国家自然科学基金资助项目(11690041, 11675233)

作者简介: 王斌(1989-), 男, 陕西旬邑人, 博士研究生, 从事宇航元器件单粒子效应研究; E-mail: binjingshi@163.com

† 通信作者: 刘杰, E-mail: j.liu@impcas.ac.cn.

2 基本概念

当 SRAM 器件使用位交错结构以后^[11], 需要将逻辑错误地址转换为物理错误地址, 才可以实现 MCU 的判别。存储单元在物理地址和逻辑地址上的差异导致了在文献术语中的混乱使用。为了防止读者在概念上的混淆, 本文对相关专业术语词汇做以下定义规范。

(a) 单位翻转 (Single Bit Upset, SBU): 指单个粒子仅引起一位存储单元翻转。

(b) 多单元翻转 (Multiple Cell Upsets, MCU): 指不考虑逻辑关系, 单个粒子引起多个物理临近存储单元的翻转。

(c) 多位翻转 (Multiple Bit Upsets, MBU): 指在一次单粒子事件中, 只考虑发生在同一个逻辑字或字节里的多个位翻转。

(d) 复合单粒子翻转 (Coincident Single Event Upset, CSEU): 两个或者多个粒子在不同时间入射到同一逻辑字节中复合引起的 MBU^[13]。

(e) 伪多位翻转 (Fake Multiple Bit Upsets, FMBU): 指在具有 ECC 保护电路的器件中, 由粒子辐照诱发, 经 ECC 处理后表现出来的 MBU。因为其真实的粒子辐照引起的 MBU 有所区别, 因此称为 FMBU。

3 实验参数

3.1 实验粒子参数

重离子辐照实验在兰州重离子加速器 (Heavy Ions Research Facility in Lanzhou, HIRFL) 单粒子效应实验终端进行。实验采用 HIRFL 提供的 ^{209}Bi 离子, 初始总能量为 1985.5 MeV。 ^{209}Bi 离子先经 12.5 μm 闪烁体 (粒子探测器) 后能量降为 1840.7 MeV, 其次穿过 14.7 μm Ti 引出窗后能量降为 1295.5 MeV, 再经 30 mm 空气层后到达器件表面, 最终离子的能量为 927.7 MeV, 器件表面的 LET 值为 99.7 MeV·cm²/mg。实验离子在 Si 中的 LET 和射程使用 SRIM2013 软件^[14, 15]计算。实验在大气环境中进行, 温度为室温, 入射角度为垂直入射。

3.2 待测器件

待测器件选用 ISSI 公司工业级 IS61WV 系列的 128 K×16 bit 高速异步 SRAM 器件, 65 nm 工艺制程, 带有 ECC 保护电路。该器件采用 ISSI 公司高性能 CMOS 技术以及先进的电路设计技术, 具有高性能低功耗的优点。该器件采用 JEDEC 标准的 44 引脚 TSOP-II 封装, 其功能模块的原理框图如图 1 所示。

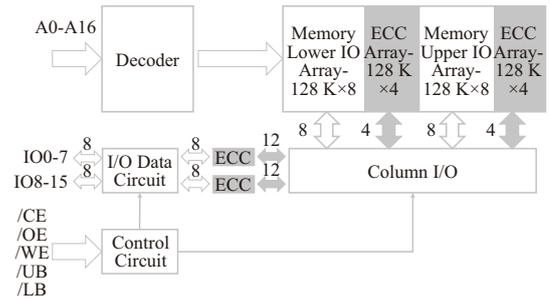


图 1 ISSI 公司 128 K×16 bit 高速异步 SRAM 器件功能模块原理框图

3.3 测试过程和测试方法

实验过程采用“动态模式”进行测试。在辐照实验之前, 对待测器件进行开帽以及功能性测试, 一是确保入射离子能穿透顶层覆盖层到达器件灵敏区, 二是确保器件工作正常。测试时, 器件被写入 0x5555 的数据图形。离子辐照过程中, 单粒子效应检测系统 (如图 2 所示) 对测试器件进行高速循环扫描, 若发现读出数据与预设数据不一致, 实时记录位错误地址、错误数据和出错时间, 上位机动态显示错误信息。待测器件中存储的数据不改正, 将这次读出的数据作为下一次对比的依据, 并以此类推, 这样可以有效减少漏计数。单粒子效应检测系统实时监测和显示器件工作电流, 若发现工作电流高于预设电流值, 立即切断电源并界面报警。实验结束时, 累积的离子总注量为 241 165 个, 总的错误事件数为 209 次。

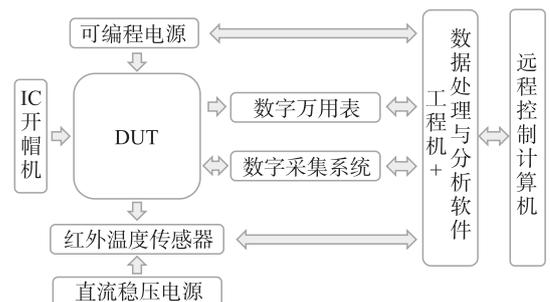


图 2 单粒子效应测试系统总体结构图

4 实验结果

4.1 FMBU

在单粒子辐照实验过程中, 并未观测到单粒子门锁 (Single Event Latchup, SEL), 这是因为该器件采用了特殊的抗门锁电路设计加固。

该器件经 Bi 离子辐照后, 错误数据及分布结果如图 3 所示。由于该器件具有 ECC (汉明码) 保护电路,

因此读出的错误数据是经汉明码处理之后的数据，与真实的离子辐照引起的错误有所区别，属于上文提到的 FMBU。实验结果表明，Bi 离子引起的 FMBU 最高可达 8 位，而且其中 1, 2, 3 bit 错误数据类型占了大约 84% 的比例。

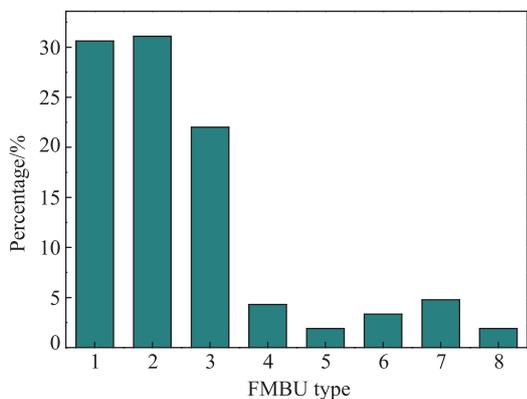


图 3 (在线彩图) 待测器件的 FMBU 错误类型百分比
横轴表示 FMBU 错误数据类型，纵轴表示错误数据类型所占的百分比。

4.2 FMBU 数据特性

实验过程中的测试系统的扫描频率为 20 MHz，则一条地址线的扫描时间为 50 ns，待测器件共有 131 072 条地址线，则一个扫描周期需要 6 553 600 ns。经过仔细分析实验数据，发现其具有以下 3 个特点。

(1) 在同一个读写周期中，行地址或者列地址相邻，错误数据相同 (详见表 1 和表 2)。

该器件共有 131 072(2¹⁷) 条地址线，其中行地址线 128(2⁷) 条，列地址线 1 024(2¹⁰) 条。单元寻址时，先寻址行地址，再寻址列地址，因此间隔 1 个地址是列地址相邻，而间隔 1 024 个地址，正好是行地址相邻。

表 1 待测器件在同一扫描周期中，列地址相邻，错误数据相同举例

序号	错误时间/ns	间隔时间/ns	错误地址	间隔地址	错误数据
1	379 124 168 560	—	0183AA	—	0x5551
2	379 124 168 610	50	0183AB	1	0x5551
3	455 704 987 710	—	002029	—	0x5755
4	455 704 987 760	50	00202A	1	0x5755
5	455 704 987 810	50	00202B	1	0x5755
6	436 721 305 260	—	00C3F8	—	0x5505
7	436 721 305 310	50	00C3F9	1	0x5505
8	436 721 305 360	50	00C3FA	1	0x5505
9	436 721 305 410	50	00C3FB	1	0x5505

表 1 中列举了该特点中列地址相邻的几个例子，其

中 1 和 2 指的是两位地址相邻的情况，两者发生错误的间隔时间为 50 ns，也就是说，两者发生错误的时间在同一个扫描周期中，而且间隔一个逻辑地址，错误数据相同，那么根据 MCU 的判别法则^[16]，就可以判定在这个位置发生了一次 MCU。同理，在 3, 4 和 5 的位置发生了一次 MCU；在 6, 7, 8 和 9 的位置同样也发生了一次 MCU。

表 2 待测器件在同一扫描周期中，行地址相邻 (间隔 1 024 个地址)，错误数据相同举例

序号	错误时间/ns	间隔时间/ns	错误地址	间隔地址	错误数据
1	381 302 509 310	—	004A89	—	0xD455
2	381 302 560 510	51 200	004E89	1024	0xD455
3	565 833 436 060	—	00A930	—	0x55D7
4	565 833 436 110	50	00A931	1	0x55C5
5	565 833 436 160	50	00A932	1	0x5515
6	565 833 436 310	150	00A935	3	0x55D5
7	565 833 487 260	50 950	00AD30	1019	0x55D7
8	565 833 487 310	50	00AD31	1	0x55C5
9	565 833 487 360	50	00AD32	1	0x5515
10	565 833 487 510	150	00AD35	3	0x55D5

表 2 中列举了该特点中行地址相邻的几个例子。其中 1 和 2 发生错误的时间在同一个扫描周期中，间隔 1 024 个地址，且错误数据相同，可以判定该位置发生了一次 MCU。同理，3 和 7、4 和 8、5 和 9 以及 6 和 10 的位置也都发生了一次 MCU。

(2) 对于同一地址，错误数据在下一个扫描周期中恢复为初始值 0x5555 (详见表 3)。

表 3 待测器件对于同一地址，错误数据在下一个扫描周期中恢复为初始值的所有情况列举

序号	错误时间/ns	间隔扫描周期	错误地址	错误数据
1	477 381 481 060	—	014434	0x7F7F
2	477 388 034 660	1	014434	0x5555
3	555 719 046 960	—	01FE8A	0x5575
4	555 725 600 560	1	01FE8A	0x5555
5	555 719 047 010	—	01FE8B	0x5575
6	555 725 600 610	1	01FE8B	0x5555
7	555 719 047 260	—	01FE90	0x5575
8	555 725 600 860	1	01FE90	0x5555
9	646 896 252 660	—	0111BC	0x5551
10	646 902 806 260	1	0111BC	0x5555

表 3 列举了对于同一逻辑地址，该地址存储的数据在这个扫描周期中发生了错误，而在下一个扫描

周期中又恢复为初始值的所有情况。例如: 序号 1 和 2 间隔 1 个扫描周期, 在序号 1 中, 存储数据被改变为 0x7F7F (初始值为 0x5555), 而在下一个周期中, 也就是序号 2 中恢复为初始值。

(3) 同一地址, 错误数据在下一个扫描周期中不恢复 (详见表 4)。

表 4 待测器件对于同一地址, 错误数据在下一个扫描周期中不恢复所有情况列举

序号	错误时间/ns	间隔扫描周期	错误地址	错误数据
1	503 511 273 960	—	017246	0x5955
2	503 517 827 560	1	017246	0x590F
3	646 896 252 160	—	0111B2	0xD755
4	646 902 805 760	1	0111B2	0xC755
5	646 896 252 210	—	0111B3	0xD755
6	646 902 805 810	1	0111B3	0xC755

表 4 列举了对于同一逻辑地址, 该地址存储的数据在这个扫描周期中发生了错误, 而在下一个扫描周期中又发生错误的所有情况。例如: 序号 1 和 2 间隔 1 个扫描周期, 在序号 1 中, 存储数据被改变为 0x5955 (初始值为 0x5555), 而在下一个周期中, 也就是序号 2 中又被改变为 0x590F。

5 分析讨论

5.1 引起 FMBU 的原因

众所周知, 在一个逻辑字或字节中, 汉明码具有“纠一检二”的局限性, 也就是说, 汉明码可以纠正重离子辐照引起的一位错误, 而对于两位或者更多位的错误, 它就表现得无能为力, 甚至会出现误纠或者错纠的情况, 引起更加严重的错误。对于引起 FMBU 的原因可能有两种: CSEU 和 MBU。CSEU, 指的是两个或多个离子在不同的时间入射到同一逻辑字或字节中, 导致该字或字节中出现多位错误, 从而致使汉明码失效。对于一位错误, 汉明码只是在读取数据的过程中, 将读出数据更正, 但是并没有对存储单元中已经翻转的错误存储数据进行更正, 也就是说, 错误数据仍然存储在 SRAM 中, 因此才会出现 CSEU。MBU, 指的是一个重离子引起同一字节中的多位数据同时发生翻转, 导致汉明码失效。

(1) CSEU 的概率计算

实验采用的器件原理框图如图 1 所示。由图可知, 该器件的一个字节由 16 位组成, 分别对应的是高 8 位 (Upper 8 bit) 和低 8 位 (Lower 8 bit)。每个 8 位存储

矩阵之后都有一个 4 位的 ECC 矩阵进行纠错处理。因此, 该 ECC 电路利用的是典型的 (12, 8) 汉明码算法。

基于回旋加速器和扫描磁铁的时间结构, 在实验使用的注量率范围内, 入射离子具有均匀的时间和空间分布。因此, 每一次的单粒子事件被认为是一个独立的随机事件。在一次独立的随机事件中, 如果翻转的概率是 $p(p \ll 1)$, 那么在 n 位的编码中发生 r 次翻转的概率是 $P_n(r) = C_n^r p^r (1-p)^{n-r} \approx \frac{n!}{r!(n-r)!} p^r$ 。从实验结果可以知道, 大约 1000 个粒子发生一次单粒子错误事件, 那么对于同一字节, 在不同时间里发生两次单粒子事件的概率是: $P_{12}(2) = C_{12}^2 p^2 (1-p)^{10} \approx 6.6 \times 10^{-5}$ 。这样的小概率事件在有限次的离子辐照过程中是可以忽略不计的。因此, 多位错误只能是由于单个重离子在同一字节中引起的 MBU 与汉明码共同作用的结果。

(2) MBU

文献中的实验结果表明, 单个 Bi 离子本身就能在 65 nm 体硅 SRAM 器件中引发大于 5 位的 MBU [17, 18]。除此之外, 我们运用 Geant4 模拟了 927.7 MeV 的 Bi 离子入射硅材料产生的径向电荷密度随径迹半径的变化关系, 其结果如图 4 所示。可以发现其径迹半径已经可以覆盖多个灵敏单元 (65 nm 器件的灵敏单元参考 [17, 19])。这进一步证明“FMBU”是由单个 Bi 离子在同一字节中引起的 MBU 与汉明码共同作用的结果。

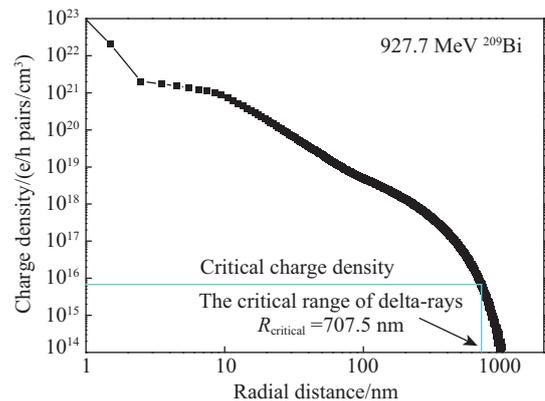


图 4 927.7 MeV Bi 离子入射硅产生的径向电荷密度随径迹半径的变化关系

5.2 对于数据特性的分析

(1) 在同一个扫描周期中, 行地址或者列地址相邻, 错误数据相同

实验结果表明, 在同一个扫描周期中, 地址相邻的错误数据相同, 其中包括行地址相邻和列地址相邻。这是因为单个 Bi 离子产生的电子和空穴通过漂移和扩

散的影响范围已经扩展到多个存储单元。同时,该结果对于研究 MCU 提供了新思路。目前判断一个位错误团为 MCU 基于三个法则:①物理地址邻近;②错误数据相同(对于采取交错架构的器件);③错误时间相近^[16]。然而,物理地址需要知道器件的版图信息。一般在没有位交错结构的情况下,可以通过逻辑地址来推测物理地址。但是,在使用位交错结构的器件中,推测物理地址将变得极其困难。因此就需要通过逻辑地址来辨别 MCU。而通过本实验研究发现,通过逻辑地址辨别 MCU 时,需要特别注意区分行逻辑地址和列逻辑地址,以免造成 MCU 的统计不完全。因此,在逻辑地址和物理地址无法对应的情况下,通过逻辑地址判别 MCU 应基于以下法则:①行逻辑地址或者列逻辑地址相邻;②错误数据相同(对于采取交错架构的器件);③错误时间相近。

(2) 对于同一地址,错误数据在下一个扫描周期中恢复为初始值

重离子辐照过程中会干扰器件读出电路正常工作的稳定性,造成在该读写周期中读出数据错误。然而这种干扰并没有真正改变存储单元的值,因此错误数据在下一个扫描周期中恢复为初始值(0x5555)。统计分析发现,这种事件在 209 次错误事件中只发生了 5 次,因此发生这种事件的概率为 $\sim 2.4\%$ (5/209)。是因为 SRAM 器件中读写控制电路占总芯片面积的比重就非常小,因此受到辐照干扰的概率就很小。但是,尽管该现象发生的概率很低,但是其危害却是不容忽视的。

(3) 对于同一地址,错误数据在后续的扫描周期中再次发生错误

统计分析发现,这种事件在 209 次错误事件中发生了 3 次,那么该事件发生的概率为 $\sim 1.4\%$ (3/209)。造成该事件发生的原因是在已经发生 SEU 的逻辑字或字节中再次受到了离子辐照影响,也就是前面所说的 CSEU。该事件与入射离子注量密切相关。因此这就要求在实验过程中对离子注量进行控制,来降低或者避免该类事件发生的几率。空间单粒子效应地面模拟实验本身就属于加速实验,通常要在十几分钟的实验时间里,模拟元器件在空间几年的粒子通量。其实在宇宙空间中,粒子通量比地面模拟的加速实验低几个数量级。因此,空间发生 CSEU 的概率基本可以忽略。除此之外,空间实际应用中,器件的数据备份以及定时刷新功能,更是杜绝了 CSEU 的发生。

6 结论

在 SRAM 器件中,位交错结构和汉明编码相结合

的方式,可以有效降低存储器发生 SEU 的概率,然而当离子入射产生的径迹电荷的影响范围超过位交错结构的空距离时,就会在一个逻辑字或字节中产生 MBU,造成汉明码失效。因此,在未来的空间应用中,对于面临重离子丰度大及能量高的航天器而言,需考虑更高层次编码算法结合定时刷新的方式来抵抗 SEU。

参考文献:

- [1] RAJSUMAN R. IEEE Design & Test of Computers, 2001, **18**(3): 16.
- [2] MING Z, YI X L, CHANG L, *et al.* IEEE Transactions on Nuclear Science, 2011, **25**(1): 289.
- [3] WROBEL F, PALAU J M, CALVET M C, *et al.* IEEE Transactions on Nuclear Science, 2001, **48**(6): 1946.
- [4] RUCKERBAUER F X, Georgakos G. Soft Error Rates in 65 nm SRAMs - Analysis of new Phenomena[C]//13th IEEE International On-Line Testing Symposium, IOLTS 2007, IEEE International, 2007: 203.
- [5] SEIFERT N, SLANKARD P, KIRSCH M, *et al.* Radiation Induced Soft Error Rates of Advanced CMOS Bulk Devices[M]. New York: IEEE, 2006: 217.
- [6] GASLOT G, GIOT D, ROCHE P. IEEE Transactions on Nuclear Science, 2007, **54**(6): 2468.
- [7] TIPTON A D, PELLISH J A, REED R A, *et al.* IEEE Transactions on Nuclear Science, 2006, **53**(6): 3259.
- [8] GASLOT G, ROCHE P, FLATRESSE P. Comparison of Multiple Cell Upset Response of BULK and SOI 130 nm Technologies in the Terrestrial Environment[C]//IEEE International Reliability Physics Symposium, IRPS 2008, IEEE International, 2008: 192.
- [9] HEIDEL D F, ROBBELL K P, OLDIGES P, *et al.* IEEE Transactions on Nuclear Science, 2006, **53**(6): 3512.
- [10] BAEG S, WEN S, WONG R. IEEE Transactions on Nuclear Science, 2009, **56**(4): 2111.
- [11] RADAELLI D, PUCHNER H, SKIP W, *et al.* IEEE Transactions on Nuclear Science, 2005, **52**(6): 2433.
- [12] TONG T, WANG X H, ZHANG Z G, *et al.* Nuclear Science and Techniques, 2014, **25**(1): 010404-1.
- [13] WIRTHLIN M, LEE D, SWIFT G, *et al.* IEEE Transactions on Nuclear Science, 2014, **61**(6): 3080.
- [14] ZIEGLER J F, ZIEGLER M D, BIERACK J P. Nucl Instr Meth B, 2010, **268**(11-12): 1818.
- [15] ZIEGLER J F, ZIEGLER M D, BIERACK J P. SRIM-2013[EB/OL]. <http://www.srim.org/SRIM/SRIMLEGL.htm>.
- [16] ZHANG Zhangang. Study on Accelerator-based Testing of Single Event Effects in Static Random Access Memories[D]. Lanzhou: Institute of Modern Physics, CAS, 2013: 28. (in Chinese)
(张战刚. SRAM单粒子效应地面加速器模拟试验研究[D]. 兰州: 中国科学院近代物理研究所, 2013: 28.)
- [17] GIOT D, ROCHE P, GASLOT G, *et al.* IEEE Transactions on Nuclear Science, 2008, **55**(4): 2048.

- [18] BORUZDINA A B, SOGOYAN A V, SMOLIN A A, *et al.* IEEE Transactions on Nuclear Science, 2015, **62**(6): 2860. [19] GENG C, LIU J, XI K, *et al.* Chinese Physics B, 2013, **22**(5): 059501-1.

Radiation-Induced “Fake MBU” by Heavy Ion in 65 nm SRAM with ECC

WANG Bin^{1,2}, LIU Jie^{1,†}, LIU Tianqi¹, XI Kai³, YE Bing^{1,2}, HOU Mingdong¹, SUN Youmei¹, YIN Yanan^{1,2},
JI Qinggang^{1,2}, ZHAO Peixiong^{1,2}, LI Zongzhen^{1,2}

(1. Institute of Modern Physics, Chinese Academy of Sciences, Lanzhou 730000, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China;

3. Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In order to improve the robustness of error-correcting codes (ECC), modern static random access memory (SRAM) always use bit-interleaving structure. However, in the absence of physical layout information, the bit-interleaving design makes it more difficult to extract the multiple-cell upset (MCU) from the test data. In this paper, the sensitivity of Bi ion irradiation was investigated in a 65 nm technology SRAM with ECC. The experimental results provide a theoretical guidance and help for the fake multiple-bit upset (FMBU) and MCU data analyzing, which improve and perfect the basic rules extracting MCU from the test data. In addition, the results show that the performance of hamming encoding is not ideal in Nano scale SRAM. In the future of space applications, it is necessary to consider more advanced algorithms to against SEU.

Key words: heavy ions irradiation; SRAM; error correction and detection; fake MBU; ECC

Received date: 19 Mar. 2017; Revised date: 25 Apr. 2017

Foundation item: National Natural Science Foundation of China (11690041, 11675233)

† Corresponding author: LIU Jie, E-mail: j.liu@impcas.ac.cn.