

文章编号: 1007-4627(2019)03-0336-07

用于 CBM-TOF 超级模块质量评估的 SoC 数据读出方法

王竣如^{1,2}, 曹平^{1,2,†}, 黄锡汝^{1,2}, 李超^{1,2}, 袁建辉^{1,3}, 李嘉雯^{1,3}, 安琪^{1,2}

- (1. 核探测与核电子学国家重点实验室, 中国科学技术大学, 合肥 230026;
2. 中国科学技术大学近代物理系, 合肥 230026;
3. 中国科学技术大学工程与应用物理系, 合肥 230026)

摘要: 在高压压缩重子物质 (Compressed Baryonic Matter, CBM) 实验中, 多气隙电阻板室 (Multi-gap Resistive Plate Chamber, MRPC) 探测器被用于构建飞行时间 (Time of Flight, TOF) 谱仪。根据 CBM 实验需求, TOF 谱仪被设计成由 6 种不同类型的超级模块构成的探测器墙。每个模块最多包含 5 块 MRPC 探测器, 能提供 320 路电子学通道, 单个模块的数据率高达 6 Gbps。为了评估 CBM-TOF 超级模块的性能, 本文提出了一种基于 TCP/IP 千兆以太网技术的数据读出方法。考虑到 TCP/IP 协议的复杂性, 该方法利用 Altera SoC FPGA 从前端电子学接受数字化的时间数据, 并通过千兆以太网并行地发送数据到 DAQ 软件。实验室测试结果表明, 单个读出扣板全链路读出速率达到 550 Mbps, 能够用于 CBM-TOF MRPC 探测器质量评估。

关键词: SoC FPGA; 千兆以太网; 读出电子学; CBM-TOF 超级模块

中图分类号: TN79 **文献标志码:** A **DOI:** 10.11804/NuclPhysRev.36.03.336

1 引言

高压压缩重子物质 (Compressed Baryonic Matter, CBM) 实验位于德国达姆施塔特 FAIR 加速器, 其主要目的是利用高能核子对撞的方式来探索在超高重子密度环境下的 QCD 相图及潜在理论^[1-2]。飞行时间 (Time-of-Flight detector, TOF) 谱仪作为 CBM 实验中的主体探测器之一被用于鉴别带电强子的类型^[3]。TOF 谱仪是由 6 种不同类型的超级模块 (M1~M6) 构成的探测器墙。对于超级模块 M5 和 M6, 分别由 5 块 MRPC 构成,

每个模块提供 320 个电子学通道用于高精度时间测量。根据蒙特卡洛仿真, M5 和 M6 中每个通道的事例率达到 300 kHz, 所以单个超级模块的最大数据率可达到 4.6 Gbps: $300 \text{ kHz/ch} \times 320 \text{ ch} \times 48 \text{ bit} = 4.6 \text{ Gbps}$ 。考虑到传输协议的消耗, 在实际传输中单个超级模块的数据率可达到 6 Gbps。

传统的数据读出系统常基于电子学机箱设计, 通过机箱的背板总线和机箱控制器进行数据的传输。然而, 这种方式很难满足大规模高速率的数据读出需求。为实现超级模块制作过程中的质量评估, 设计了如图 1 所示

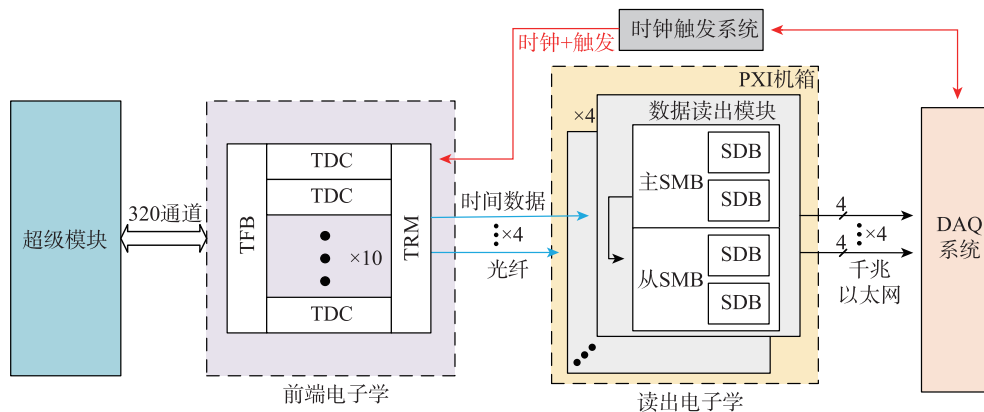


图 1 (在线彩图) 数据读出系统结构图

收稿日期: 2019-01-24; 修改日期: 2019-03-04

基金项目: 国家重点基础研究发展计划项目 (2015CB856906)

作者简介: 王竣如 (1994-), 男, 安徽舒城人, 硕士在读, 从事物理电子学研究; E-mail: wjrguge@mail.ustc.edu.cn

† 通信作者: 曹平, E-mail: cping@ustc.edu.cn.

的数据读出系统，主要由前端电子学、读出电子学和数据获取 (Data Acquisition, DAQ) 系统三部分构成，其支持 320 通道，6 Gbps 的数据实时读出^[4]。此外，用于高精度同步时钟和触发信号分发的时钟触发系统被集成在数据读出系统中。

前端电子学接收单个超级模块共 320 通道具有时间过阈信息的事例信号，这些信号通过前端接口板 (TOT Feeding Board, TFB) 引入 10 块时间数字转换板 (Time-to-Digital Converter, TDC) 进行时间测量，测量得到的数字化时间数据在 TDC 数据读出模块 (TDC Readout Module, TRM) 中汇聚，再通过 4 根光纤发送至读出电子学，每根光纤 1.5 Gbps。

读出电子学实现高速数据并行读出的功能，其

主体是 1 至多台 PXI 机箱，每台机箱内包含 4 个数据读出模块，每个模块负责前端电子学单根光纤传输的 1.5 Gbps 数据读出。单个数据读出模块中数据传输流程如图 2 所示，SoC 读出母板 (SoC Data Readout Mother Board, SMB) 接收光纤传输的数据后，首先将数据进行均分，然后其中一半的数据发送给与之级联的 1 块 SMB，每块 SMB 负责处理的数据速率约为 750 Mbps。每块 SMB 将数据再进行一次均分，分别通过高速串行链路发送到 2 块 SoC 数据读出扣板 (SoC Data Readout Daughter Board, SDB)。多块 SDB 并行工作，通过 SoC 技术将收到的数据转化为标准的千兆以太网数据上传至 DAQ 系统。如上所述，SDB 的传输性能对整个数据读出系统影响重大。

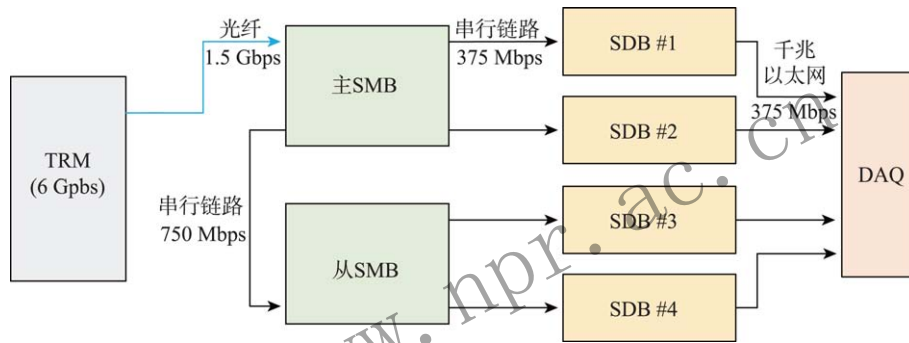


图 2 (在线彩图) 单个数据读出模块数据传输流程图

本论文提出基于 SoC 技术的数据读出方法，设计并实现 SDB，同时对其进行一系列相关测试。该扣板直接与 DAQ 系统相连，传输速率不受机箱背板总线和控制器带宽的限制。

2 SoC 数据读出扣板的实现

SDB 的主要作用是完成 FPGA 自定义格式数据与 TCP/IP 以太网络格式数据的交换功能。考虑到通过 FPGA 硬件逻辑来实现 TCP/IP 协议，资源占用量

大且功能有限，同时相较于基于 CPU 实现方式，用户可配置选项有限，灵活度不够。为降低设计的复杂度，提高系统的集成度，优先选用集成 CPU、IP 核和存储器 (或片外存储控制接口) 等的 SoC (System on Chip) 芯片来实现 TCP/IP 协议。如果使用分立的 FPGA 和 SoC 芯片，两块芯片间高速数据的传输又是个难点。综上所述，本扣板采用 Altera 公司的 Cyclone V 系列的 SoC FPGA 芯片作为实现数据格式交换的核心单元，其硬件构架图和实物图如图 3 所示。该芯片片内集

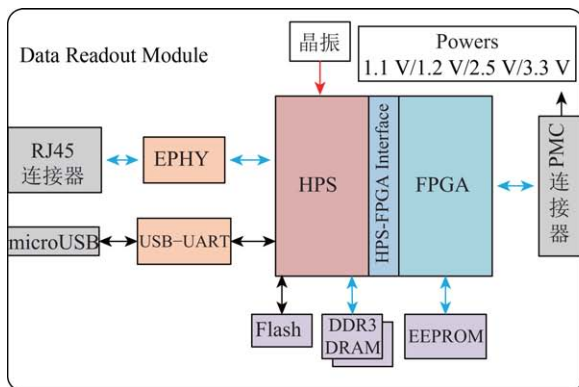


图 3 (在线彩图) SDB 硬件架构图及实物图

成高性能 ARM Cortex-A9 双核处理器和 FPGA 功能，其中 FPGA 部分作为可编程逻辑区，用于实现用户自定义的功能；其处理器部分是一种硬件方式实现的嵌入式处理器系统 HPS(Hard Processor System)，包含有处理器、外设与存储器接口。芯片内部的 HPS 和 FPGA 都可以独立进行工作，也可通过 3 组内部接口进行数据通信，分别是 HPS2FPGA、LWHPS2FPGA 和 FPGA2HPS。FPGA 与挂载在 HPS 上的 SDRAM 之间还可通过 FPGA2SDRAM 直接传输数据，这是一种类似于内存的接口，其性能高达 128 Gbps，足以满足一般的数据交换使用^[5]。

由于采用集成 FPGA 和处理器的 SoC 技术，SDB 的硬件电路仅由 SoC FPGA、PHY、Flash、DDR3 等芯片构成，即可有效地实现 TCP/IP 千兆以太网传输接口。这极大地简化了嵌入式 CPU 系统的设

计难度和电路结构，在降低功耗的同时，具有极强的通用性和灵活性。

SDB 中数据与指令的传输通道如图 4 所示。上行数据通道中，SDB 接收 SMB 分发后经高速串行链路传输的时间数据，该数据经 FIFO 缓冲后分为两路，一路输入到数据格式帧检测模块，用于判断数据的正确性；另一路经打包处理后通过 FPGA2SDRAM 接口，采用 DMA (DirectMemoryAccess) 方式直接写入到 HPS 系统的 DDR3 内存，HPS 通过 DMA 驱动程序从内存中读取数据并通过千兆以太网传输到后端计算机。下行指令通道中，HPS 系统将经由千兆以太网传输的指令数据通过 LWHPS2FPGA 接口发送至 FPGA，FPGA 上的逻辑解析与本模块相关的指令并产生相应的控制信号，同时将此指令数据透明转发至下一节点。数据传输路径中的关键技术说明详见 2.1 至 2.3 小节。

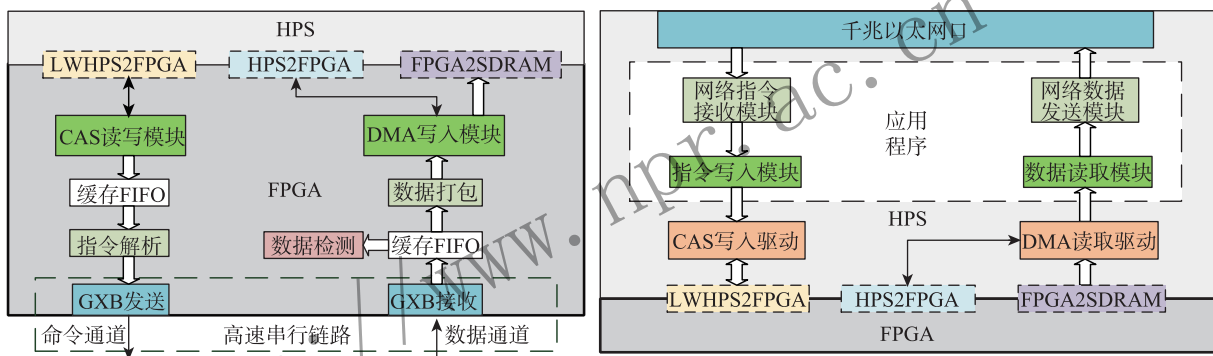


图 4 (在线彩图) SDB 数据传输通道

2.1 高速串行链路设计

根据第 1 节的描述，读出电子学中，SMB 与单块 SDB 间传输链路的数据率至少达到 375 Mbps，故利用 Cyclone V 系列 FPGA 片内集成的高速串行收发器 GXB 来实现该传输链路。

SDB 高速串行链路主要由可例化生成的 IP Core 和 FPGA 接口逻辑构成。其工作在全双工模式，接收

和发送方向均由物理介质附加子层 (PMA) 和物理编码子层 (PCS) 组成。PMA 子层主要包括串行解串器、时钟发生器和时钟恢复器 (CDR)。PCS 子层提供丰富的物理编码层特性，如 8b/10b 编码、字对齐器和字节对齐等^[6]。

高速串行链路的外围接口逻辑分为如图 5 所示的两个状态机分别对发送和接收通道进行控制。发送通道的状态机通过对同步码和边界码的发送过程进行控制，用

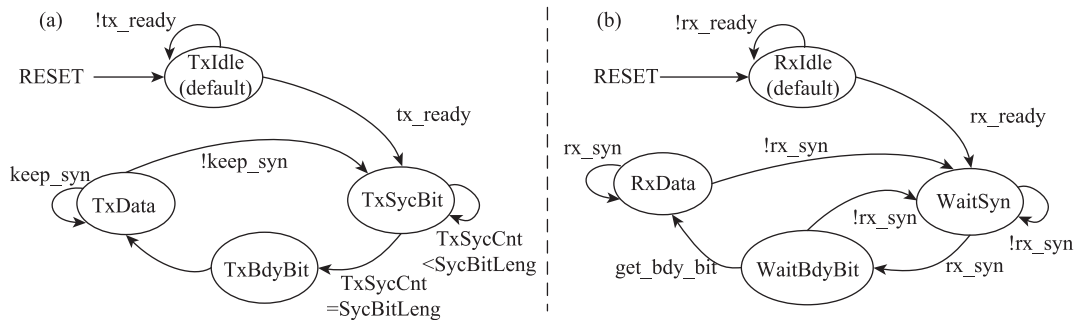


图 5 外围接口逻辑状态机: (a)发送端, (b)接收端

于高速串行链路同步过程的建立，以及在失同步的情况下同步过程的重新建立；接收通道的状态机主要用于从 GXB 解析出来的并行数据中提取有效的数据以及链路同步状况的实时判断。

2.2 DMA 的设计

DMA 是一种数据传输的实现机制，指外部设备不通过 CPU 而直接与系统内存交换数据的接口技术，这样减轻了 CPU 资源占有率，可以大大节省系统资源。其是一个软硬件协同的过程，具体到 SDB 上，如图 6 所示，需要 HPS 部分的 DMA 读取驱动

和 FPGA 内部的 DMA 写入模块协同工作。DMA 写入模块实现 DMA 控制器的功能将 FPGA 端的数据通过 FPGA2SDRAM 接口直接写入到 DDR3 内存，可分为数据写入模块 write_master 和基于 DMA 描述符结构设计的调度器模块 dma_ctrl。其中，write_master 模块通过 Altera Modular SGDMA Write Master Core 生成；dma_ctrl 模块为用户自定义调度器，通过 HPS2FPGA 接口和 DMA 读取驱动进行交互，实现描述符的配置与控制。DMA 读取驱动用于支持 DMA 传输过程中用户层程序对底层硬件进行的基本操作，如处理中断、缓冲区配置等。

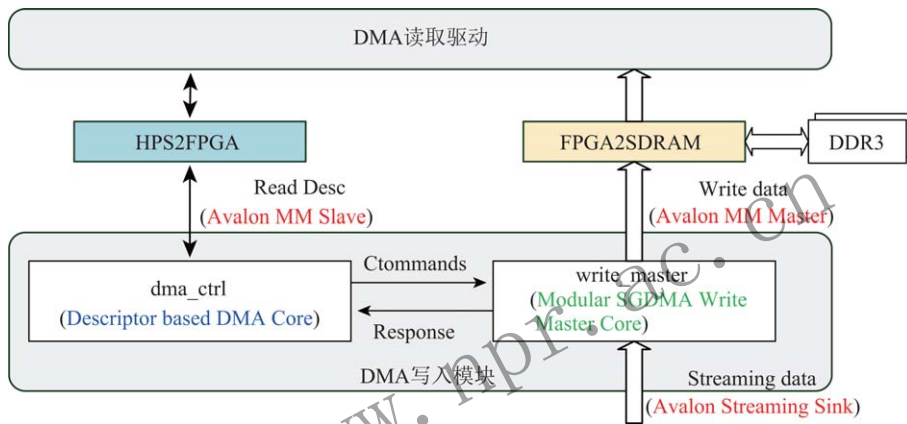


图 6 (在线彩图)DMA 传输结构框图

FPGA-to-HPS 间 DMA 传输的效率是限制 SDB 数据上传通道速率的瓶颈所在，为提高该效率，设计了如图 7 所示的 DMA 传输流程。在驱动程序初始化阶段，在 FPGA 内部配置一个用于中断信号缓冲用的 IRQ-FIFO，同时在 HPS 的内存中分配出一个由 16 片 4 MB

大小的存储单元组成的环形缓冲区，该缓冲区的读写指针分别受 CPU 和 DMA 控制器控制。首先，应用层程序使能 DMA，内核层驱动将启动 DMA 传输命令下发至底层硬件。DMA 控制器收到此命令后先判断环形缓冲区当前写指针指向的存储单元的状态是否为空，为空

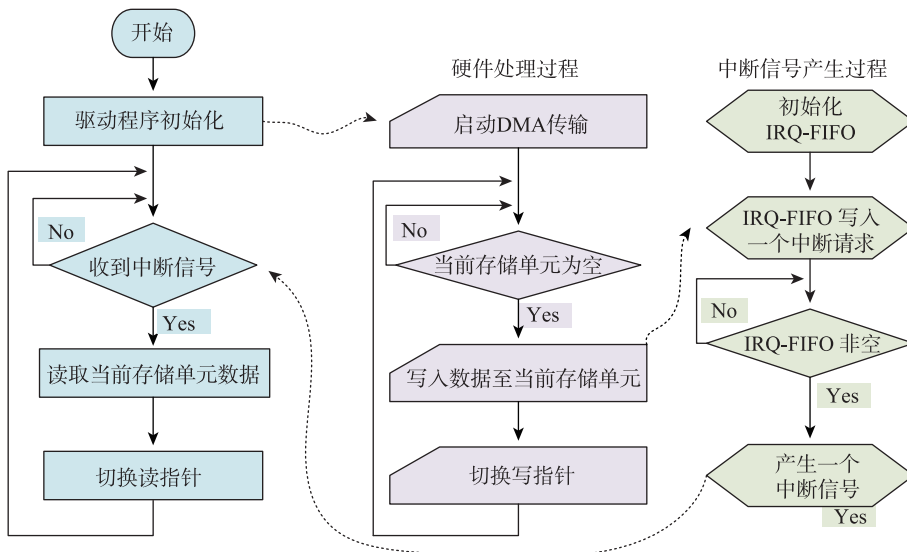


图 7 (在线彩图)DMA 传输流程图

则将 FPGA 内的数据持续写入此存储单元中，直至该单元被写满，同时产生一个中断请求写入 IRQ-FIFO。下一步，DMA 控制器将写指针切换至下一片存储单元重复上述数据写入过程。当 CPU 处理完上一次中断，DMA 控制器从 IRQ-FIFO 中读取一个中断请求产生相应的中断信号发送至 CPU。DMA 驱动响应该中断信号，通过 mmap 方式持续读取当前读指针指向存储单元中数据，读取完成后切换读指针至下一片存储单元重复上述数据读取过程。在这个传输流程中，由于采用了环形缓冲区的机制，将读写过程解耦合，有效地避免了因

数据阻塞造成的传输效率降低。

2.3 HPS 应用层软件设计

SDB 主要通过运行在嵌入式 Linux 系统上的应用层软件来实现前端数据的上传(包括 TCP/IP 协议打包)、指令的接收。为提高程序的响应速度，增加处理器资源的利用率，HPS 内运行的应用层软件使用了多线程技术，如图 8 所示，其主要可分为三个线程，主线程、数据上传线程和指令接收线程^[7]。

程序启动后，主线程首先对用到的变量进行初始化，

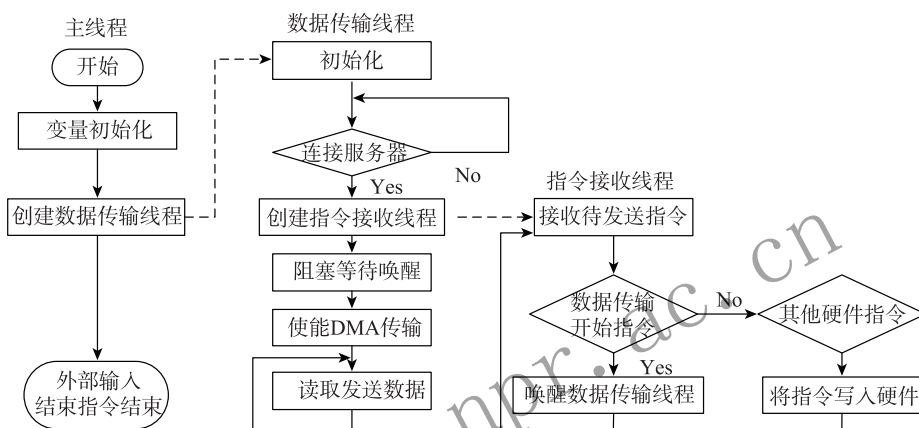


图 8 (在线彩图) HPS 应用层软件工作流程图

并创建数据上传线程，其数量可以配置。直到当外部输入的结束指令时，程序结束退出。

数据上传线程首先创建套接字，并配置套接字的发送缓冲区到默认的大小；设置并初始化互斥锁，以使用条件变量对数据传输线程和指令接收线程进行调度；然后将套接字连接到服务器端，如果出错便一直等待直到能够连接到服务器上；之后通过DMA和指令读写驱动打开底层字符设备。其后创建指令接收线程。数据传输线程阻塞直到条件变量发生了变化，即指令接收线程接收到了数据传输的指令后，使能DMA传输并开始不断地从前端读取数据，读取到的数据通过 tcpsocket 发送给后端计算机。

指令接收线程不断按照设置的套接字帧格式接收数据，并对指令内容进行解析和响应。如果接收到开始数据传输的指令便发送条件变量唤醒数据传输线程开始传输。如果接收到了需要转发给后端硬件的指令，则调用指令读写驱动将其写入硬件。

3 SoC 数据读出扣板传输性能测试

由第 1 节的数据读出系统结构可知，SDB 的传输性能对整个系统读出性能影响重大，故需对 SDB 关键传

输节点和整条链路的传输速率进行测试。通过这些测试，可以验证 SDB 的数据传输性能以及整个数据读出系统的性能。

3.1 高速串行链路测试

高速串行链路的性能测试可分为传输速率测试和误码率测试两部分。因为 SDB 与 SMB 间是通过 FPGA 内嵌的高速串行收发器 GXB 来实现高速串行链路，其速率是一个可配置的固定值，故对高速串行链路质量的评测主要通过固定传输速率条件下进行误码率测试来实现。测试方案如图 9 所示，SDB 上通过 FPGA 逻辑实现 PRBS15 伪随机二进制序列的产生模块和检验模块。PRBS15 码流通过待测的高速串行链路发送至 SMB，SMB 透明转发此 PRBS15 码流回 SDB，PRBS15 校验模块将收到的 PRBS15 码流与本地产生的 PRBS15 码流进行对比，统计得到传输产生的误码数并将其保存至误码存储寄存器，利用 SignalTapII 读取该存储寄存器进行观察。测试时，为避免瞬时的高速数据在 SMB 分发过程中造成堵塞将待测链路的线速率设置为 1.25 Gbps。

该测试进行了 12 h，共发送了伪随机二进制比特数

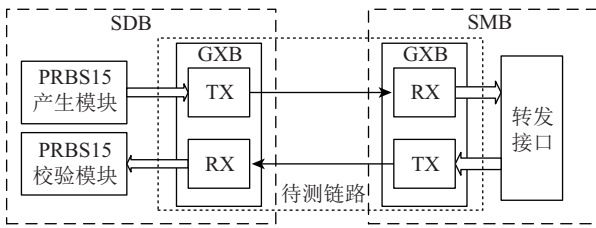


图 9 “SDB-SMB” 高速串行链路测试方案

为 4.32×10^{13} ，统计得到的误码数为 0。根据假设检验理论^[8]，可计算得到待测链路在 1.25 Gbps 线速率的条件下，误码率好于 10^{-13} 量级的置信度为 98.7%。该结果表明了“SDB-SMB”高速串行链路的质量良好，能进行长时间稳定可靠的数据传输。

3.2 DMA 传输性能测试

DMA 是 SoC FPGA 将高速数据从 FPGA 部分传输到 HPS 部分的关键技术，是 SDB 数据上传链路的关键节点所在，为测试 DMA 硬件和驱动的性能，设计了如下的测试方案：当 DMA 控制器内的缓冲 FIFO 非满时，FPGA 部分通过自定义的逻辑在 100 MHz 的时钟下持续产生 64 bits 位宽的测试数据，该数据通过 DMA 写入模块的控制持续写入内存中开辟的环形缓冲区内，HPS 部分的测试软件通过 DMA 驱动读取内存中的测试数据，不对该数据进行任何处理只统计数据量大小，同时计时。测试程序每收到 3040 MByte 大小的数据（约为 4 s 传输的数据量）计算一次 DMA 传输速率。

测试结果如图 10 所示，纯 DMA 传输的平均速率约为 761 MByte/s，且传输速率波动很小。该结果表明了 DMA 硬件和驱动的结构设计足够合理，能充分发挥 FPGA2SDRAM 接口的性能。

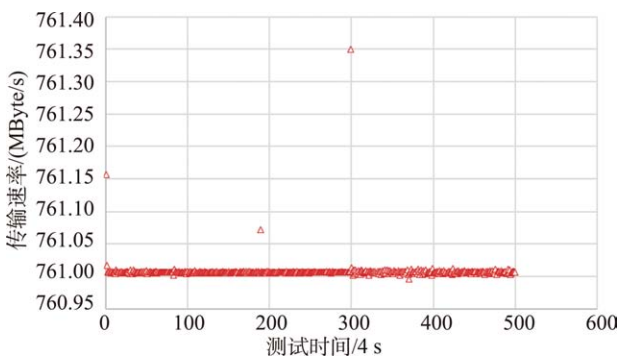


图 10 (在线彩图) DMA 性能测试结果

3.3 系统全链路测试

为保证 SDB 在整个数据读出构架下可以正常工作，在实验室条件下进行了读出电子学系统全链路的测试。前端电子学作为数据源模拟正常工作过程产生的时间测

量数据，该数据通过光纤链路传送至 PXI 机箱中的读出电子学，再由 SDB 实现数据上传至后端测试机。同时，在测试机上运行速率统计软件，每隔 4 s 统计一次传输数据量并计算传输速率。

图 11 统计了读出电子学单链路的传输速率情况，平均速率约为 550 Mbps，但波动较大。其原因主要是 SDB 上 CPU 单核性能有限，相较于纯 DMA 测试的情况，全链路测试时 CPU 需处理数据读取、打包和上传及命令接收等多个进程，这会造成 CPU 负载过高，从而影响数据的传输过程。考虑到单个超级模块实际工作中数据率达到 6 Gbps，单个读出电子学系统中共有 16 块 SDB，所以对单块 SDB 数据传输能力要求为 375 Mbps。该测试表明，单块 SDB 数据传输平均速率约为 550 Mbps，且基本稳定在 520 Mbps 以上，满足上述需求。

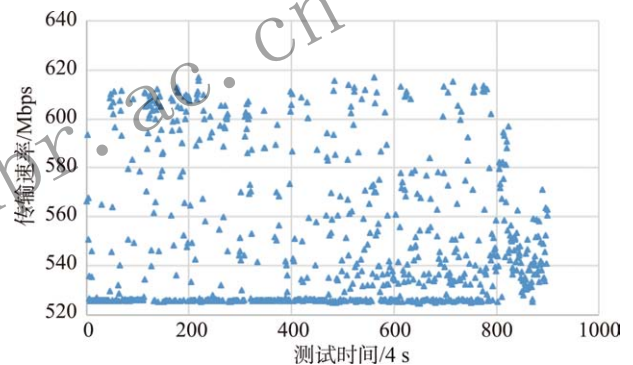


图 11 (在线彩图) 单链路传输速率测试结果

4 总结

针对 CBM-TOF 超级模块探测器质量评估中数据读出需求，本文提出了一种基于 SoC 技术的数据读出方法，给出了该系统中关键组件 SoC 数据读出扣板 SDB 的设计与实现，并对设计中的几个关键技术进行了详细说明，同时完成了一系列测试。测试结果表明，基于 SoC FPGA 技术设计的千兆以太网数据读出模块全链路速率可达 550 Mbps，可以满足 CBM-TOF 超级模块质量评估中对电子学系统数据读出能力的要求。本文所提的方法，还可用于其他粒子物理实验或核探测领域的的数据读出。

参考文献：

- [1] SENGHER PETER. *Journal of Physics G: Nuclear and Particle Physics*, 2002, 28(7): 1869.
- [2] HEUSER JOHANN M. *Status of the CBM experiment [EB/OL]*. [2015-05-29].

- [3] CBM collaboration. [Technical Design Report for the CBM Time-of-flight System \(TOF\) \[EB/OL\]](#). [2017-02-11]. <http://repository.gsi.de/record/109024>.
- [4] LI Chao, HUANG Xiru, CAO Ping, *et al.* Quality Evaluation System for CBM-TOF Super Module [C]. LIU Z A ed. Proceedings of International Conference on Technology and Instrumentation in Particle Physics 2017. Singapore: Springer, 2018: 210.
- [5] Intel Corporation. [Cyclone V Hard Processor System Technical Reference Manual \[EB/OL\]](#). [2018-07-17]. <https://www.intel.com/content/www/us/en/programmable/documentation/sfo1410143707420.html>.
- [6] Intel Corporation. [Cyclone V Device Handbook: Volume 2: Transceivers \[EB/OL\]](#). [2018-10-24]. <https://www.intel.com/content/www/us/en/programmable/documentation/nik1409855456781.html>.
- [7] ZHANG Yaxi, CAO Ping, WANG Qi, *et al.* *IEEE Transactions on Nuclear Science*, 2017, **64**(6): 1327.
- [8] CHEN Xiru. Probability and Statistics [M]. Hefei: Press of University of Science and Technology of China, 2009: 217. (in Chinese)
(陈希孺. 概率论与数理统计[M]. 合肥: 中国科学技术大学出版社, 2009: 217.)

SoC Data Readout Method for CBM-TOF Super Module Quality Evaluation

WANG Junru^{1,2}, CAO Ping^{1,2,†}, HUANG Xiru^{1,2}, LI Chao^{1,2}, YUAN Jianhui^{1,3}, LI Jiawen^{1,3}, AN Qi^{1,2}

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China;

3. Department of Engineering and Applied Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract: Several Multi-Gap Resistive Plate Chambers (MRPCs) was used to construct a Time of Flight (TOF) system in the Compressed Baryonic Matter (CBM) experiment. According to the requirements of the CBM experiment, the CBM-TOF wall is composed of 6 different types of super module. Each module contains five MRPC detectors, providing 320 electronic channels with data rates up to 6 Gbps for a single module. To evaluate the quality of CBM-TOF super module, in this paper, a data readout module based on Gigabit Ethernet technology was developed. The readout module accepts digitized time data from the front-end electronics using Altera SoC FPGAs and sends the data to the DAQ software in parallel via Gigabit Ethernet. Laboratory test results show that the overall data transfer rate of a single data transmission path can reach up to 550 Mbps, which can be used for CBM-TOF Super Module quality evaluation.

Key words: SoC FPGA; Gigabit Ethernet; Readout Electronics; CBM-TOF Super Module

Received date: 24 Jan. 2019; Revised date: 4 Mar. 2019

Foundation item: National Basic Research Program of China (2015CB856906)

† Corresponding author: CAO Ping, E-mail: cping@ustc.edu.cn.