



## 一种新型抗SEU的SRAM单元结构设计

常泽光 秦家军 赵雷 宋春晓 李力 安琪

### Design of a New SEU-tolerant SRAM Cell Structure

CHANG Zeguang, QIN Jiajun, ZHAO Lei, SONG Chunxiao, LI Li, AN Qi

在线阅读 View online: <https://doi.org/10.11804/NuclPhysRev.40.2022022>

#### 引用格式:

常泽光, 秦家军, 赵雷, 宋春晓, 李力, 安琪. 一种新型抗SEU的SRAM单元结构设计[J]. *原子核物理评论*, 2023, 40(1):78–85. doi: 10.11804/NuclPhysRev.40.2022022

CHANG Zeguang, QIN Jiajun, ZHAO Lei, SONG Chunxiao, LI Li, AN Qi. Design of a New SEU-tolerant SRAM Cell Structure[J]. *Nuclear Physics Review*, 2023, 40(1):78–85. doi: 10.11804/NuclPhysRev.40.2022022

---

## 您可能感兴趣的其他文章

### Articles you may be interested in

#### 重离子辐照带有ECC的65 nm SRAM器件“伪多位翻转”特性研究

Radiation-Induced “Fake MBU” by Heavy Ion in 65 nm SRAM with ECC

原子核物理评论. 2018, 35(1): 66–71 <https://doi.org/10.11804/NuclPhysRev.35.01.066>

#### 重离子在14-nm FinFET SRAM器件引起的单粒子翻转

Single-event Upsets (SEUs) Induced by Heavy Ions in 14-nm FinFET SRAM

原子核物理评论. 2021, 38(3): 327–331 <https://doi.org/10.11804/NuclPhysRev.38.2021015>

#### 电离总剂量对纳米SRAM器件单粒子翻转敏感性的影响

Impact of Total Ionizing Dose on Single Event Upset Sensitivity of Nano-SRAMs Devices

原子核物理评论. 2019, 36(3): 367–372 <https://doi.org/10.11804/NuclPhysRev.36.03.367>

#### 一种基于SiPM的新型起始时间探测器研制

Development of a New-typed Start-time Detector Based on SiPM

原子核物理评论. 2019, 36(3): 343–350 <https://doi.org/10.11804/NuclPhysRev.36.03.343>

#### 冷轧和退火对V-5Cr-5Ti合金组织结构和抗辐照硬化性能的影响

The Effect of Cold Rolling and Annealing on the Microstructure and Irradiation Hardening Resistance of V-5Cr-5Ti Alloys

原子核物理评论. 2021, 38(3): 319–326 <https://doi.org/10.11804/NuclPhysRev.38.2021006>

#### 等单元长度多间隙加速结构的束流动力学特性

Study of Beam Dynamics on Equidistant Multi-gap Cavities

原子核物理评论. 2021, 38(1): 38–44 <https://doi.org/10.11804/NuclPhysRev.38.2020046>

文章编号: 1007-4627(2023)01-0078-08

## 一种新型抗SEU的SRAM单元结构设计

常泽光<sup>1,2</sup>, 秦家军<sup>1,3,†</sup>, 赵雷<sup>1,2,3</sup>, 宋春晓<sup>1,3</sup>, 李力<sup>1,2</sup>, 安琪<sup>1,3</sup>

1. 中国科学技术大学核探测与核电子学国家重点实验室, 合肥 230026;
2. 中国科学技术大学微电子学院, 合肥 230026;
3. 中国科学技术大学近代物理系, 合肥 230026)

**摘要:** 在加速器粒子物理实验中, 基于专用集成电路 (Application Specific Integrated Circuit, ASIC) 在读出电子学前端实现模拟信号调理、数字化等功能是一个发展趋势, 但这也使得 ASIC 暴露在了高能粒子辐射环境中, 而其中的静态随机存储器 (Static Random-Access Memory, SRAM) 容易受到辐射的影响产生单粒子翻转 (Single Event Upset, SEU), 从而使芯片工作异常。因此对 ASIC 中的 SRAM 进行抗辐照加固设计十分必要。本工作提出了一种基于施密特触发器结构的 11 管抗 SEU SRAM 存储单元, 并在 180 nm CMOS 工艺下进行了电路的设计和仿真, 仿真结果表明, 与传统 12 管 SRAM 单元相比, 抗单粒子翻转能力有明显增加, 且功耗仅为 12 管单元的 42%。

**关键词:** SRAM 单元; SEU; ASIC; 抗辐照

**中图分类号:** TP492

**文献标志码:** A

**DOI:** 10.11804/NuclPhysRev.40.2022022

### 0 研究背景和意义

随着加速器粒子物理实验的发展, 探测器朝着高位置分辨率、高精度能量分辨以及快时间响应的方向发展。电子学处理的信号变快, 通道数随之剧烈增加, 因此对电子学提出了高集成度和数字化前移等需求, 使得在读出电子学前端基于专用集成电路 (Application Specific Integrated Circuit, ASIC) 实现模拟信号调理、信号数字化以及数据汇总成为读出电子学发展的一个趋势。但这也使得 ASIC 暴露在高能粒子辐照环境中, 对电子学芯片的抗辐照性能提出了严苛的要求。其中静态随机存储器 (Static Random-Access Memory, SRAM) 是 ASIC 中一个非常重要的组成部分。例如在 ATLAS 探测器中用于前端数据汇总的 ROC 芯片使用了大量的基于 SRAM 的 FIFO 进行数据的暂存和缓冲<sup>[1]</sup>。此外在硅像素探测器的读出电子学中, 基于低功耗小面积的考虑, 阈值调节部分也通常采用 SRAM 控制一个数模转换器 (Digital-to-Analog Converter, DAC) 来实现<sup>[2]</sup>。然而 SRAM 在辐射环境中容易发生单粒子翻转 (Single Event Upset, SEU), 从而给芯片使用带来严重的问题<sup>[3]</sup>。SEU 是指当高能

粒子撞击 SRAM 单元敏感节点时, 粒子的能量将会沿着其穿过的路径沉积在半导体材料中, 并产生电子空穴对, 这些电子空穴对在电场的漂移作用下被有效地收集到敏感节点处, 造成电荷的积累, 产生瞬态电流脉冲。当粒子的能量足够大, 产生的电子空穴对足够多时, SRAM 中存储单元的逻辑值将会发生改变, 造成单粒子翻转<sup>[4]</sup>。并且随着 CMOS 晶体管的尺寸不断缩小, SRAM 发生 SEU 的概率也随之增大。因此很多研究机构都进行了 SRAM 单元抗 SEU 的研究。1988 年 IBM 公司曾提出通过节点冗余加反馈的方法来实现 SRAM 存储单元逻辑值不被高能粒子破坏, 当逻辑值被粒子撞击而发生翻转时, 通过反馈可以将被翻转的数据恢复<sup>[5]</sup>。1996 年 Calin 等<sup>[6]</sup>提出了一种非常经典的 12 个晶体管的双锁存单元 (DICE) 结构, 也是使用了节点冗余加反馈的方法来进行 SRAM 抗 SEU 加固。2016 年的一篇文章<sup>[7]</sup>提出的一种 12 个晶体管的抗 SEU 单元, 也是通过上述方法来实现加固。2020 年 Haran 等<sup>[8]</sup>提出了一种工作于亚阈值电压下的 13 管单元结构, 通过节点反馈来抗 SEU 加固。通过增加额外的晶体管进行节点冗余备份的方法, 其逻辑值不由单一反馈路径决定, 因此单

收稿日期: 2022-02-28; 修改日期: 2022-04-15

基金项目: 国家重点研发计划资助项目 (2020YFE0202002); 中国科学院青年创新促进会资助项目; 中央高校基本科研业务费专项资金资助项目 (WK2030000051); 核探测与核电子学国家重点实验室资助项目 (SKLPDE-ZZ-202121)

作者简介: 常泽光 (1997-), 男, 内蒙古牙克石人, 硕士研究生, 从事物理电子学研究; E-mail: chzg@mail.ustc.edu.cn

† 通信作者: 秦家军, E-mail: jjqin@ustc.edu.cn

个粒子撞击仅仅在单个敏感节点产生瞬态电流不会造成其翻转，所以它具有良好的抗 SEU 的性能。然而，节点备份这种方法需要更多的存储节点和电源到地的支路，在写入数据时需要翻转的节点数量也会随之增加，因此其功耗亦会增大。

此外，2006 年 Sasaki 等<sup>[9]</sup>提出了一种基于施密特电路的寄存器单元用来掩蔽组合电路上的瞬态脉冲造成的软错误。2009 年 Sheng 等<sup>[10]</sup>提出了两种基于施密特结构的锁存器以提高锁存器对软错误的容忍度。2015 年 Rajaei 等<sup>[11]</sup>提出了一种具有 13 个晶体管的 SRAM 单元，其基于施密特触发器电路和反相器互锁的结构通过提高 SRAM 单元的翻转阈值来实现抗 SEU 加固。此外文献<sup>[12-16]</sup>也对将施密特触发器应用于锁存单元或 SRAM 单元进行了研究。

本论文根据对上述论文的分析和研究提出了一种

由 11 个晶体管组成的 SRAM 单元结构，其基于施密特触发器的工作原理通过提高 SRAM 单元的翻转阈值，使其拥有更高的静态噪声容限，以此来实现 SEU 加固。并且采用额外的控制信号在写操作时断开反馈，以减小功耗。

## 1 传统基于施密特触发器的 SRAM 单元

### 1.1 SRAM 的 SEU 机理

普通的 6 管 SRAM 单元结构由两个反相器互锁组成，另由两个晶体管作为存取管，如图 1 所示。当高能粒子轰击器件时，沿着粒子轨迹将产生大量的电子空穴对。在电场的作用下这些电子和空穴沿相反的方向移动，被不同的电极收集，产生瞬态电流。因此当高能粒子击中 SRAM 中的敏感节点 Q 或者 Qb，且敏感节点上积累的瞬态电荷量足够大时，SRAM 将会发生单粒子翻转，如图 1 所示。

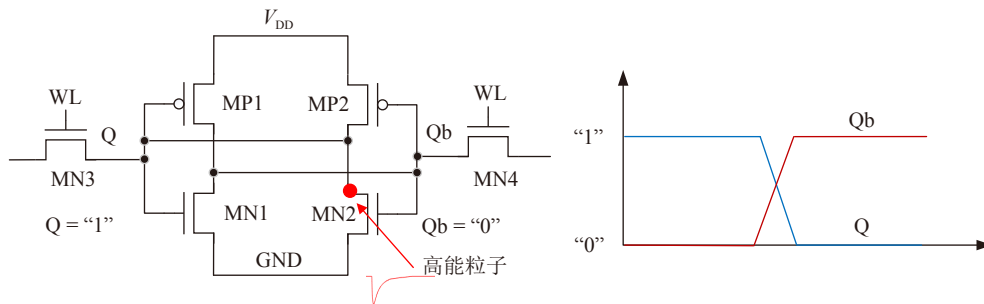


图 1 SRAM 6 管单元电路单粒子翻转示意图(在线彩图)

### 1.2 基于传统施密特触发器结构的 12 管 SRAM 单元

基于传统施密特触发器结构设计的 12 管 SRAM 单元电路如图 2 所示，由一个反向器和一个传统施密特触发器结构的反向器互锁组成<sup>[10]</sup>。该结构采用的传统的施密特触发器结构如图 3(a) 电路所示，该电路具有迟滞

性<sup>[17]</sup>。当施密特触发器输入电压高于正向阈值电压，输出为低；当输入电压低于负向阈值电压，输出为高；当输入在正负向阈值电压之间，输出不改变。而 12 管 SRAM 单元即通过施密特触发器的迟滞性提高 SRAM 单元的翻转阈值来实现 SEU 加固。图 3(b) 所示施密特触发器电路为本论文中使用的结构，其原理和传统的施密特触发器电路原理相似，即通过额外电路改变 MN2

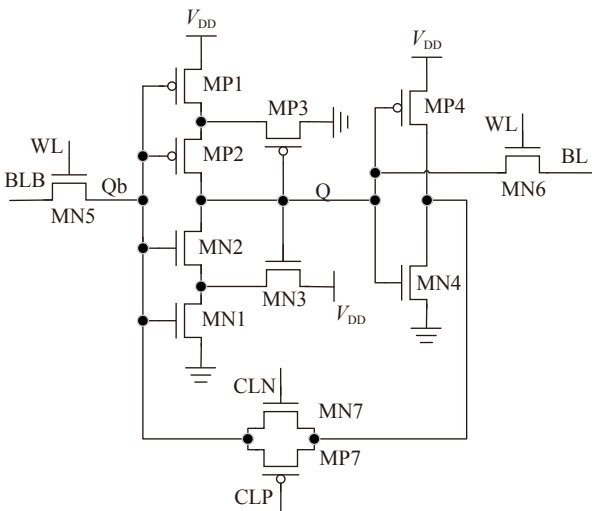


图 2 基于施密特触发器的 12 管 SRAM 结构<sup>[10]</sup>

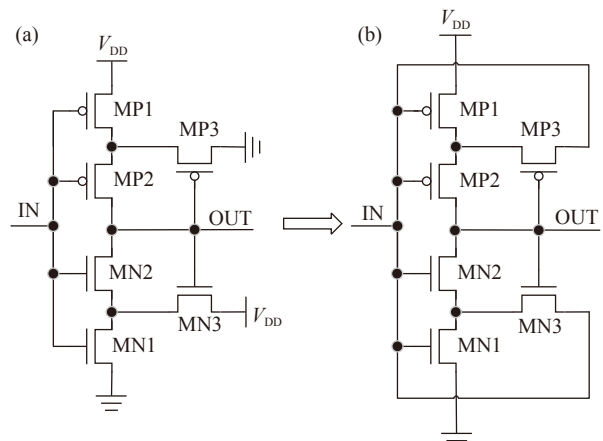


图 3 施密特触发器电路结构

和 MP2 的源极电压，来达到迟滞的效果。并且相对于传统的施密特触发器电路，该结构，在输入电压在从 0 到 1 (从 1 到 0) 变化时，不会出现电源通过导通的 MN3 和 MN1(MP3 和 MP1) 到地的情况，因此功耗更低。

## 2 改进型基于施密特触发器的 SRAM 单元

### 2.1 单元结构

本文提出的改进型基于施密特触发器结构的 11 管 SRAM 单元电路如图 4 所示。该单元电路由 4 个 PMOS 管 MP1~MP4 以及 7 个 NMOS 管 MN1~MN7 组成。这些 MOS 管构成一个反向器和一个基于施密特触发器结构的反相器互锁连接，提供 Q 和 Qb 两个互锁的节点来进行数据存储。其中 PMOS 管 MP1, MP2, MP3 和 NMOS 管 MN1, MN2, MN3 组成基于施密特触发器的反相器。PMOS 管 MP4 和 NMOS 管 MN4 组成一个普通的反相器。基于施密特触发器反相器的输出连接到普通反向器的输入，普通反向器的输出连接到基于施密特触发器反相器的输入。此外 11 管单元中的 MP3 管的漏极和 MN3 管的漏极接在基于施密特触发器结构的反相器的输入端。

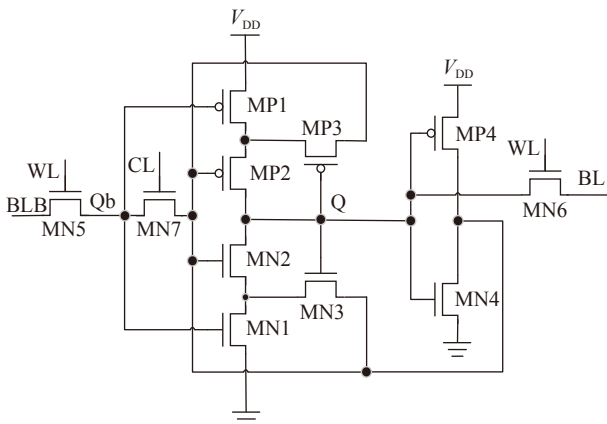


图 4 基于施密特触发器的 SRAM 11 管单元结构

### 2.2 工作原理

在 11 管单元中，当 Qb 为 0，Q 为 1 时，MN3 导通，其漏极接到 Qb 节点，MN1 源极电压将会随着 Qb 的变

化而变化，而 MP3 截止。当高能粒子轰击敏感节点 Qb 使其电压  $V_{Qb}$  发生改变。当  $V_{Qb}$  小于 MN1 管的阈值电压时，MN1 不会导通，电路也不会发生翻转。当  $V_{Qb}$  逐渐升高大于 MN1 管的阈值电压时，由于 MN3 管导通，MN2 的源极电压跟随  $V_{Qb}$  变化，所以 MN2 的栅源电压小于其阈值电压，MN2 依然截止。随着  $V_{Qb}$  的不断升高迫使 MP1 和 MP2 的栅源电压变小，导通电阻增加，从而导致 Q 点电位下降，进而使得 MN3 管的导通电阻增大。当 Q 点电位低到使 MN3 管关断时，MN2 的源极电压将不再跟随 Qb 变化，进而导致 MN2 的栅源电压大于其阈值电压，MN2 导通。电路此时才开始发生翻转。因此从 Qb 到 Q 的翻转阈值增大，从而使得 SRAM 翻转所需电荷增加，以此来实现 SEU 加固，如图 5(a) 所示。当 Qb 为 1，Q 为 0 时，原理同上，如图 5(b) 所示。并且由于 11 管单元中的 MP3 管的漏极和 MN3 管的漏极接在基于施密特触发器结构的反相器的输入端，高能粒子轰击敏感节点 Qb 产生的瞬态电流可以通过 MN1、MN3 或 MP1、MP3 释放掉一部分，因此可以进一步增加 Qb 节点的抗 SEU 能力。当高能粒子轰击 Q 点时，由于此节点有较大的寄生电容，虽然此节点的翻转阈值没有较大的提高，但依然可以依靠相对大的寄生电容来进行 SEU 加固。

此外存取管 MN5 和 MN6 由 WL 控制。这里为了降低写功耗还增加了一个 NMOS 管 MN7，用来隔离 MP1 和 MN1 的栅极和 Qb 之间的连接，MN7 由 CL 控制。在保持状态时 CL 为 1，WL 为 0，此时基于施密特触发器反相器与反向器互锁，使数据保持不变。在写操作时 CL 为 0，断开反相器间的反馈，降低写功耗。

### 2.3 读操作

在读操作之前，先将位线 BL 与互补位线 BLB 预充到高电平，同时字线 WL 保持在低电平，而控制线 CL 保持在高电平。假设此时单元存储的逻辑值为 1，则节点 Q 为高电平，Qb 为低电平。当读取操作开始时，保

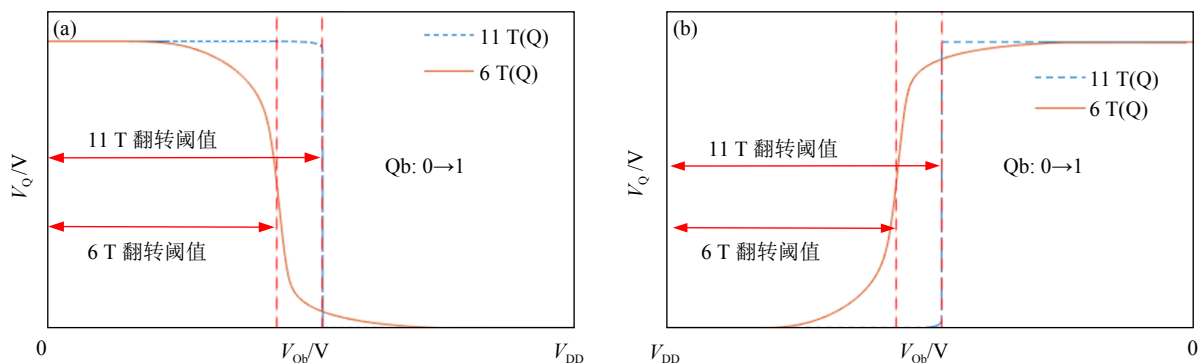


图 5 11 管单元与 6 管单元翻转阈值示意图(在线彩图)

持 CL 为高电平不变，升高 WL 的电压，使得存取管 MN5 和 MN6 打开。此时由于 Q 点为高电平，所以 BL 上的电压几乎保持不变。由于 Qb 为低电平，BLB 线会

被缓慢放电，直到 BL 与 BLB 的电压差可以被灵敏放大器检测。对于读操作其与普通六管单元无异。图 6 展示了 11 管单元读操作波形图。

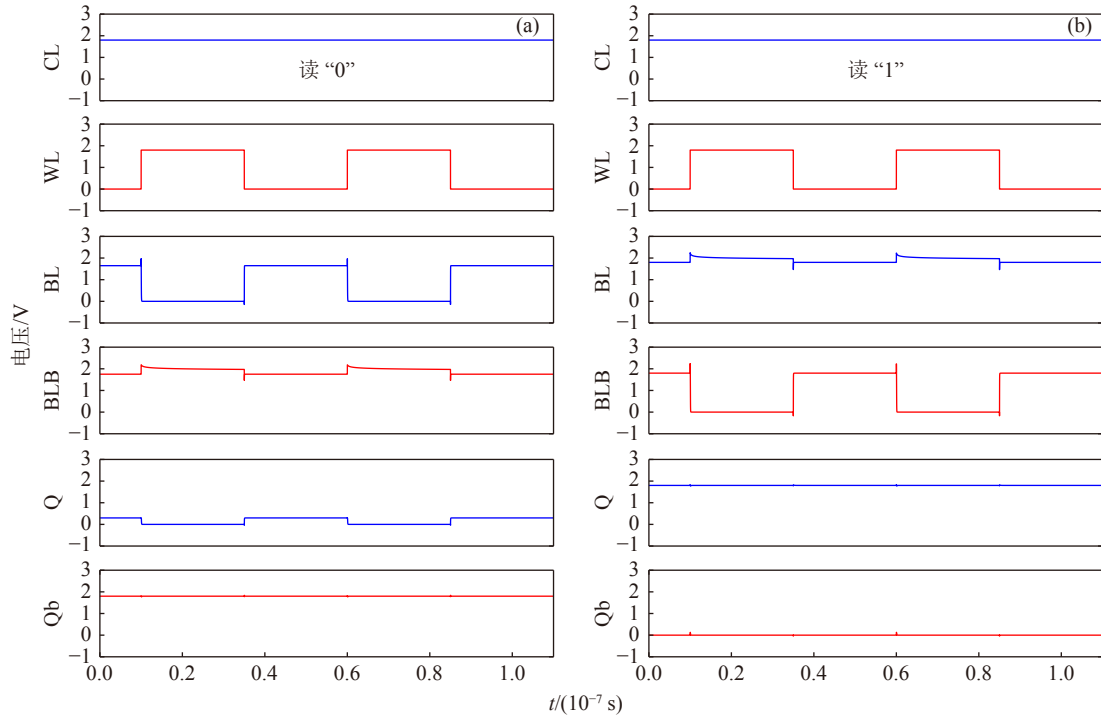


图 6 11 管单元读操作波形图(在线彩图)

## 2.4 写操作

对于写操作，假设单元在写操作执行之前存储的逻辑值为 0，即节点 Q 为低电平，Qb 为高电平，并且要将逻辑 1 写入。因此先将 BL 置为高电平，BLB 置为低电平，并且将 CL 置为低电平，此时反向器到 MN1 和 MP1 的栅极连接被断开，BLB 通过存取管 MN5 连接到 MN1 和 MP1 的栅极，MN1 和 MP1 的栅极呈现高阻态且其电压由于寄生电容的作用依旧为高。升高 WL 的电压使得存取管 MN5 和 MN6 打开。此时由于 MN1 和 MP1 的栅极只通过存取管 MN5 与 BLB 相连，MN1 和 MP1 的栅极的电压变为低，Q 点到地的通路被断开。又由于 Q 点通过 MN6 管与 BL 相连，则 Q 点电压很快被充电到高电平。

当 Q 点被充电到高电平时，经过由 MP4 和 MN4 组成的反向器，Qb 点电压被放电到低电平。当 WL 变为低，CL 变为高，写操作结束，单元存储数据由逻辑 0 写为逻辑 1，普通反向器和基于施密特触发器的反向器形成互锁数据得以保存。图 7 展示了 11 管单元写操作波形图。

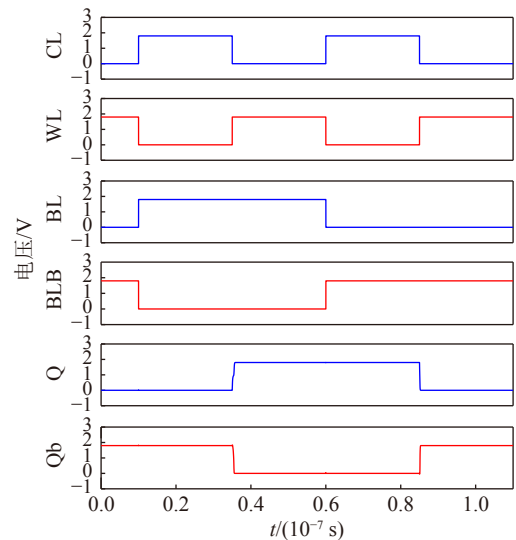


图 7 11 管单元写操作波形图(在线彩图)

## 3 性能分析及仿真

采用 180 nm 标准商用 CMOS 工艺在 Cadence virtuoso 中设计了上述 11 管单元结构的原理图，并对其进行了噪声容限仿真、SEU 仿真和功耗仿真。

### 3.1 静态噪声容限

静态噪声容限 (SNM) 经常被用来衡量 SRAM 单元

的稳定性，特别是写和保持条件下的静态噪声容限<sup>[18]</sup>。SNM的仿真方法如图8所示，通过在敏感节点插入单端噪声源，来观察Q和Qb节点的电压。经过仿真得到的普通6管单元和11管单元的保持静态噪声容限(HSNM)和写静态噪声容限(WSNM)如图9所示，图中虚线正方形的对角线的长度为SNM的大小。在电源电压1.8 V、tt工艺角和25 °C条件下，仿真结果表明，11管单元的HSNM为0.68 V，相比6管单元的0.63 V提升了6%。在此条件下，11管单元的WSNM为1.50 V，相比于6管单元的0.70 V有两倍以上的提升。图10展示了在通用NP(tt)、快N快P(ff)、快N慢P(fs)、慢N快P(sf)和慢N慢P(ss)等5种不同工艺角下上述噪声容限仿真结果，可以看到在不同的工艺角下11管单元相比6管单元都有提升，且写噪声容限提升明显。

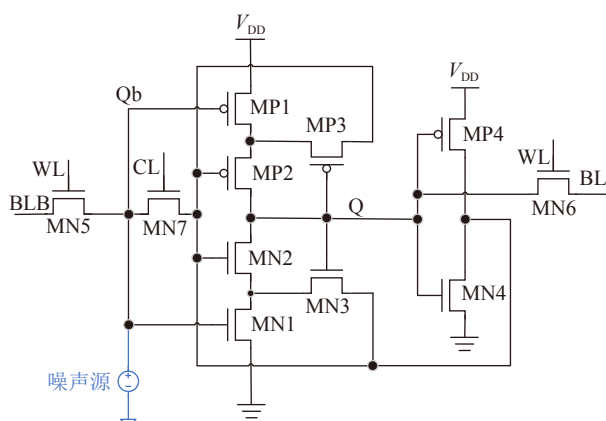


图8 11管结构SNM仿真原理图(在线彩图)  
HSNM时BL/BLB为高电平，WL为低电平存储节点Q/Qb一个高一个低存储数据；HSNM时WL选中为高电平，BL Qb/BLB Q一个为高一个为低。

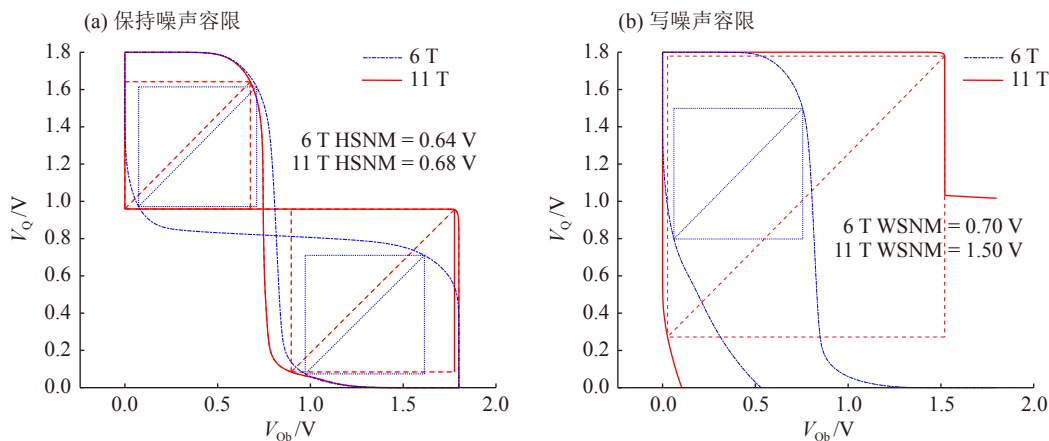


图9 普通6管单元和11管单元SNM(在线彩图)

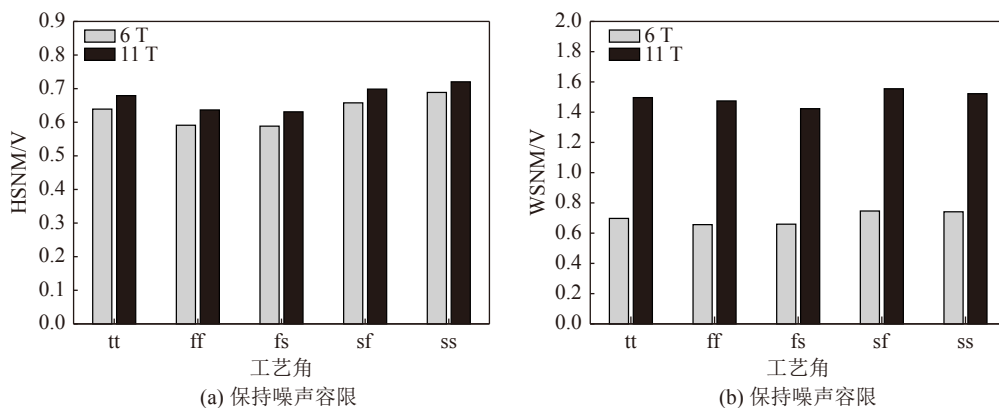


图10 不同工艺角下普通6管单元和11管单元的SNM(在线彩图)

### 3.2 SEU仿真

为了验证本论文中SRAM单元的抗SEU性能，仿真是必不可少的。这里使用文献<sup>[19]</sup>中提出的双指数电流注入模型来模拟粒子轰击在器件上所产生的瞬态电流。

$$I(t) = I_0(e^{-\alpha t} - e^{-\beta t}), \quad (1)$$

式中： $I_0$ 为注入电流的大小； $\alpha$ 和 $\beta$ 为时间常数。对该电流源积分即可得到该节点的注入电荷。

由上文可知SRAM单元被高能粒子轰击敏感节点时会沉积大量的电荷，当沉积的电荷足够多时该节点将

会发生翻转，而产生翻转所需的最小电荷量叫做临界电荷  $Q_{Cr}$ 。当模拟一个高能粒子轰击敏感节点时，将一个双指数电流源连接到该节点，通过仿真可以得到不同的注入电荷对 SRAM 敏感节点的影响，并且找到该敏感节点的临界电荷。此外本电路设计采用的 CMOS 工艺其衬底材料为硅，通过式 (2) 可以计算出敏感节点收集到的电荷  $Q_C$  对应的粒子 LET 值 [20]：

$$Q_C = 1.03 \times 10^{-2} (L_{th} \cdot T) \text{ pC}, \quad (2)$$

这里  $Q_C$  的单位是 pC； $L_{th}$  的单位是  $\text{MeV} \cdot \text{cm}^2/\text{mg}$ ； $T$  的单位为  $\mu\text{m}$ 。

将双指数电流脉冲在保持状态下注入到 11 管单元的敏感节点中，其仿真波形如图 11 所示。表 1 显示了普通 6 管单元、11 管单元和 12 管单元各节点临界电荷仿真结果。11 管单元相比于 6 管单元和 12 管单元造成单粒子翻转所需的临界电荷都有明显提升，并且从 1 到 0 翻转和从 0 到 1 翻转所需临界电荷有差异。且 11 管单元是非对称的 Q 与 Qb 节点的临界电荷亦不相同。

### 3.3 功耗与面积

在工作电压为 1.8 V，工作频率 20 MHz 下仿真 6 管

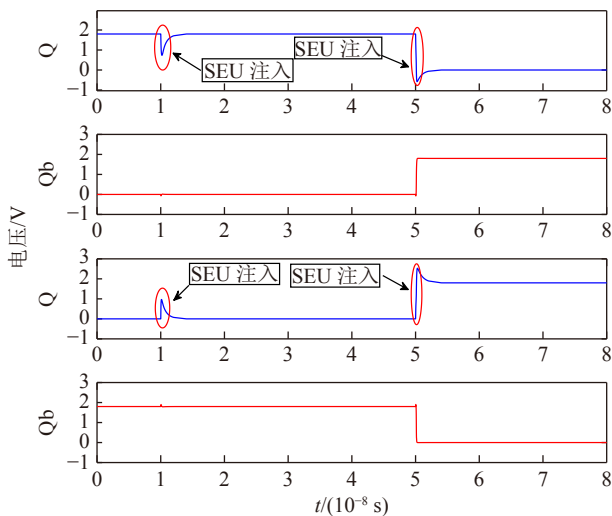


图 11 SEU 仿真波形图(在线彩图)

表 1 SEU 仿真结果对比表

节点	翻转	临界电荷/fC	LET(MeV·cm <sup>2</sup> /mg)	器件厚度2 μm
6管	Q/Qb	0→1	223.8	10.86
		1→0	180.4	8.76
11管	Q	0→1	286.2	13.89
		1→0	224.2	10.88
	Qb	0→1	1328.3	64.48
		1→0	794.5	38.57
12管	Q	0→1	273.1	13.25
		1→0	218.1	10.58
	Qb	0→1	891.2	43.26
		1→0	509.1	24.71

单元、11 管单元、将 11 管单元中 MN7 管去掉后的 10 管单元及 12 管单元的平均功耗，如图 12 所示。由于 11 管单元在写操作时会先断开反馈，所以可以看到，加入 MN7 管后 11 管单元的功耗节省了 37%。并且由于在写 0 操作过程中 12 管单元存在电源通过 MP1 和 MP3 到地导通的情况，12 管单元的功耗是 11 管单元的 2.4 倍。图 13 为 11 管单元和普通 6 管单元的版图，其中普通 6 管单元的面积为  $4.62 \mu\text{m} \times 5.04 \mu\text{m}$ ，11 管单元的面积为  $10.56 \mu\text{m} \times 5.04 \mu\text{m}$ 。

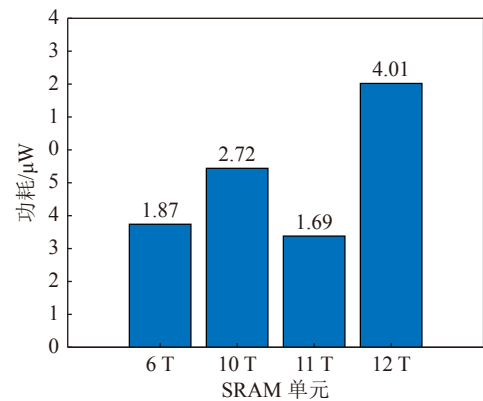
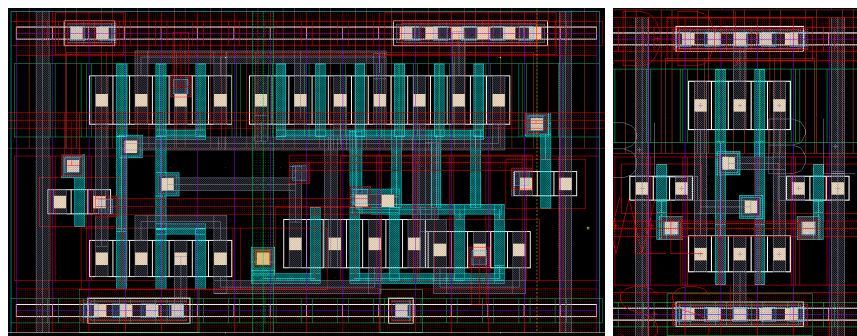


图 12 不同 SRAM 单元功耗对比图(在线彩图)



(a) 11 管单元

(b) 6 管单元

图 13 11 管单元和普通 6 管单元版图(在线彩图)

## 4 总结

在本论文中提出了一种基于施密特触发器结构的 11 管 SRAM 单元, 并基于 180 nm CMOS 工艺进行了电路设计和仿真。仿真结果表明, 该 11 管 SRAM 单元相比于普通 6 管 SRAM 单元具有更强的抗 SEU 能力, 在敏感节点 Q 最差情况相比于 6 管 SRAM 单元其临界电荷增加了 1.24 倍, 而在敏感节点 Qb 最差情况相比于 6 管 SRAM 单元其临界电荷增加了 4.40 倍。相比于 12 管 SRAM 单元, 在敏感节点 Q 临界电荷增相差不大, 而在敏感节点 Qb 最差情况相比于 12 管 SRAM 单元临界电荷增加了 1.56 倍。

### 参考文献:

- [1] COLIBAN R M, POPA S, TULBURE T, et al. *Journal of Instrumentation*, 2016, 11(02): C02069.
- [2] GAO C, HUANG G, SUN X, et al. *Journal of Instrumentation*, 2016, 11(01): C01053.
- [3] BARAK J, YITZHAK N M. *IEEE Transactions on Nuclear Science*, 2015, 62(6): 3369.
- [4] MESSENGER G C, ASH M S. *Single Event Phenomena*[M]. New York: Springer US, 1997: 15.
- [5] ROCKETT L. *IEEE Transactions on Nuclear Science*, 1988, 35(6): 1682.
- [6] CALIN T, NICOLAIDIS M. *IEEE Transactions on Nuclear Science*, 1996, 43(6): 2874.
- [7] QI C, XIAO L, WANG T, et al. *IEEE Transactions on Device & Materials Reliability*, 2016, 16(3): 388.
- [8] HARAN A, KEREN E, D DAVID, et al. *IEEE Transactions on Nuclear Science*, 2020(99): 1.
- [9] SASAKI Y, NAMBA K, ITO H. *Soft Error Masking Circuit and Latch Using Schmitt Trigger Circuit*[C]//21st IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, October 04-06, 2006, Arlington, VA, USA. New York: IEEE, 2006: 327.
- [10] SHENG L, KIM Y B, LOMBARDI F. *Soft-Error Hardening Designs of Nanoscale CMOS Latches*[C]// 27th IEEE VLSI Test Symposium, May 03-07, 2009, Santa Cruz, CA, USA. New York: IEEE, 2009: 41.
- [11] RAJAEI R, ASGARI B, TABANDEH M, et al. *IEEE Transactions on Device and Materials Reliability*, 2015, 15(99): 429.
- [12] SHENG L, KIM Y B, LOMBARDI F. *IEEE Transactions on Device & Materials Reliability*, 2012, 12(1): 68.
- [13] GLORIEUX M, CLERC S, GASLOT G, et al. *IEEE Transactions on Nuclear Science*, 2013, 60(6 Part1): 4381.
- [14] JIANG H, ZHANG H, BALL D R, et al. *SE performance of a Schmitt-trigger-based D-flip-flop Design in a 16-nm Bulk FinFET CMOS Process*[C]// 2016 IEEE International Reliability Physics Symposium (IRPS), April 17-21, 2016, Pasadena, CA, USA. New York: IEEE, 2016. 3B-2-1.
- [15] YAN A, HU Y, SONG J, et al. *Single-Event Double-Upset Self-Recoverable and Single-Event Transient Pulse Filterable Latch Design for Low Power Applications*[C]//Design, Automation & Test in Europe Conference & Exhibition (DATE), March 25-29, 2019, Florence, Italy. New York: IEEE, 2019: 1679.
- [16] LI Y, CHENG X, TAN C, et al. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020, 67(9): 1619.
- [17] SCHMITT O H. *Journal of Scientific Instruments*, 1938, 15(1): 24.
- [18] LIST F J. *The Static Noise Margin of SRAM Cells*[C]// European Solid-state Circuits Conference. New York: IEEE Xplore, 1986.
- [19] MESSENGER G C. *IEEE Transactions on Nuclear Science*, 1983, 29(6): 2024.
- [20] MENDENHALL M. *Critical Charge and Threshold LET*[EB/OL]. [2022-01-15]. <https://creme.isde.vanderbilt.edu/CREME-MC/help/critical-charge-and-threshold-let.htm>.



## Design of a New SEU-tolerant SRAM Cell Structure

CHANG Zeguang<sup>1,2</sup>, QIN Jiajun<sup>1,3,†</sup>, ZHAO Lei<sup>1,2,3</sup>, SONG Chunxiao<sup>1,3</sup>, LI Li<sup>1,2</sup>, AN Qi<sup>1,3</sup>

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. School of Microelectronics, University of Science and Technology of China, Hefei 230026, China;

3. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

**Abstract:** In accelerator particle physics experiments, it is a development trend to realize the functions of analog signal processing and digitization at the front end of readout electronics based on application specific integrated circuits(ASICs), but it also exposes ASICs in the radiation environment of high-energy particles, The static random access memory(SRAM) is vulnerable to radiation, resulting in single event upset(SEU), which makes the chip abnormal. Therefore, it is necessary to design radiation-hardened SRAM in those ASICs. In this paper, a SEU-tolerant SRAM memory cell with 11 transistors(11 T) based on Schmitt trigger is proposed. The circuit is designed and simulated in 180 nm CMOS process. The simulation results show that our proposed 11 T SRAM cells as compared with traditional 12 transistors(12 T) SRAM cell have considerably higher robustness against single-event multiple effects, and consumes only 42% power of the 12 T cell.

**Key words:** SRAM cell; SEU; ASIC; radiation resistance

---

**Received date:** 28 Feb. 2022; **Revised date:** 15 Apr. 2022

**Foundation item:** National Key Research and Development Program of China(2020YFE0202002); Youth Innovation Promotion Association, Chinese Academy of Sciences(CAS); Fundamental Research Funds for the Central Universities(WK2030000051); State Key Laboratory of Particle Detection and Electronics(SKLPDE-ZZ-202121)

† **Corresponding author:** QIN Jiajun, E-mail: [jjqin@ustc.edu.cn](mailto:jjqin@ustc.edu.cn)