

文章编号: 1007-4627(2018)02-0159-06

Back-n 波形数字化模块的数据实时读出方法

齐心成^{1,2}, 曹平^{1,2,†}, 王奇^{1,3}, 余滔^{1,3}, 安琪^{1,3}

- (1. 核探测与核电子学国家重点实验室, 中国科学技术大学, 合肥 230026;
2. 中国科学技术大学工程与应用物理系, 合肥 230026;
3. 中国科学技术大学近代物理系, 合肥 230026)

摘要: Back-n 是中国散裂中子源 (CSNS) 的反角中子束线, 适用于精密核数据的测量。该装置的谱仪读出电子学采用共性化设计方法, 利用高速波形数字化技术精密采集探测器输出信号波形。为完成对两通道、1 GSps, 12 bit 采样数据的读出和板载外设的控制, 可以使用一种基于 FPGA 的高速数据实时读出方法。该方法不仅实现了数据接收、缓存上传等通用需求, 还通过软件配置满足了实时触发处理等针对特定物理实验的特性需求。此外, FPGA 的灵活使通过固件更新支持新实验或添加新功能成为可能。测试结果表明, 该方法能够适应 Back-n 波形数字化模块高速数据读出的需求, 峰值处理能力可达 24 Gbps, 符合物理实验需求。目前, 基于实时读出方法实现的波形数字化模块已完成中子源谱仪实验现场的安装, 工作稳定。

关键词: FPGA; 波形数字化; 读出电子学; 散裂中子源

中图分类号: TN79 **文献标志码:** A **DOI:** 10.11804/NuclPhysRev.35.02.159

1 引言

中国散裂中子源 (China Spallation Neutron Source, CSNS) 是位于广东东莞的大科学装置, 为中子散射提供多学科研究平台^[1]。它使用重复频率为 25 Hz 的 1.6 GeV 质子轰击铅靶, 产生大量中子。研究表明, 位于质子束线反角方向的 Back-n 中子束线具有很宽的能谱和很好的时间结构, 非常适合开展核数据测量^[2]。Back-n 中子束线布局示意图如图 1 所示, 它包含两个终端实验站 (ES#1 和 ES#2), 计划在它们上面开展 C6D6, FIXM, LPDA, NOTX, FINDA, GAEA, GTAF-II 等 7 个物理实验^[3, 4]。

为降低成本、缩短读出电子学开发周期, 提取不同实验的共性, 基于 PXIe 平台设计了共用电子学^[4]。信号调理模块 (Signal Conditioning Module, SCM) 适配不同特性的探测器, 并提供波形数字化模块 (Field Digitizing Module, FDM) 可接收的模拟信号。触发时钟模块 (Trigger and Clock Module, TCM) 通过 PXIe 背板的差分星形信号线 DSTARA 和 DSTARB 为 FDM 提供时钟、T0 信号。FDM 板载的两通道、1 GSps、12 bit 的高速 ADC 把来自 SCM 的模拟信号数字化, 得到 24 Gbps 的原始数据。面对如此高的数据率, 一种基

于 FPGA 的实时数据读出方法被提出: 利用 FDM 板载的 FPGA 从 ADC 获取原始数据, 对其中的有效事例进行实时触发判选, 并将信号波形与其他信息打包, 经由 DDR3 缓存通过 PXIe 背板以 DMA 的方式将数据上传控制器, 最终通过千兆以太网送至数据获取 (Data Acquisition, DAQ) 系统。通过对采集到的波形进行分析, 即可得到所需的能量、时间等信息^[5]。

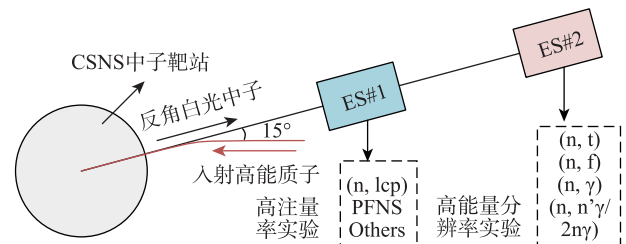


图 1 (在线彩图) Back-n 中子束线布局示意图

本文针对 C6D6, FIXM, NTOX, LPDA 等 4 个首批物理实验, 提出了基于 FPGA 的实时数据读出方法及详细设计, 并基于 FDM 进行了 FPGA 固件实现与测试验证。

2 高速数据实时读出方法设计

根据第 1 节中的描述, 高速数据实时读出方法主要

收稿日期: 2018-03-09; 修改日期: 2018-03-30

基金项目: 国家重点研发计划项目 (2016YFA0401602)

作者简介: 齐心成 (1993-), 男, 陕西扶风人, 硕士在读, 从事核科学与技术研究; E-mail: qxc1993@mail.ustc.edu.cn

† 通信作者: 曹平, E-mail: cping@ustc.edu.cn.

需要高速数据输入、实时触发处理、数据缓存上传三部分功能，以保证所需实验数据得正确获取。此外，还需完成外设管理与参数配置工作，以保证 FPGA 与外设 在正确的配置下运行。典型波形数字化模块 FDM 的硬件架构示意图如图 2 所示。实时读出方法的架构示意图如图 3 所示，图中各部分的详细说明请见 2.1 至 2.3 小节。

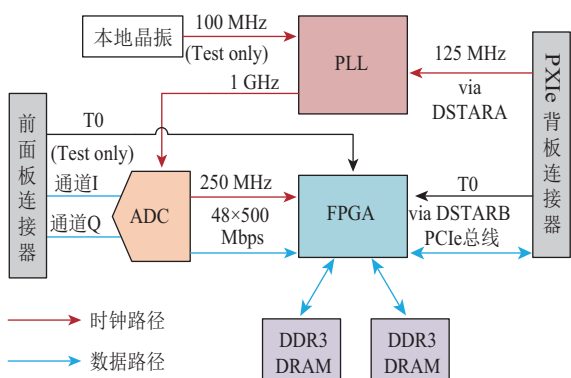


图 2 (在线彩图) FDM 硬件架构示意图

2.1 高速数据输入模块

1 GSps, 12 bit, 2 通道的高速 ADC 输出的总数据率为 24 Gbps，通过 48 对 LVDS 数据线连接至 FPGA。同时，源同步的时钟亦连接至 FPGA 以正确获取数据。由于源同步时钟 DCLK 为 250 MHz、数据线速率为 500 Mbps，为降低 FPGA 时序要求，高速数据输入模块使用 ISERDES 将数据进行 1:4 的串并转换 (Deserialization)，并使用 IDELAY 对 DCLK 的延时进行适当调节，以满足 ISERDES 的建立保持时间。其中 ISERDES 与 IDELAY 为 Xilinx 提供的内置模块，关于它们的详细说明可参阅文献[6]。

并化后的数据按照 ADC 的数据格式进行组装，写入由 FIFO 构建的可配置延时单元 t0_buf，用以对触发时间窗开窗信号 T0 进行匹配，即对 T0 信号传输过程中的延时进行补偿。t0_buf 的输出一路送至实时触发处理模块，进行触发判选，另一路送至另一个可配置延时单元 trig_buf，用以进行触发匹配，即对触发判选延时进行补偿。T0 及触发匹配的示意图分别如图 4, 5 所示。

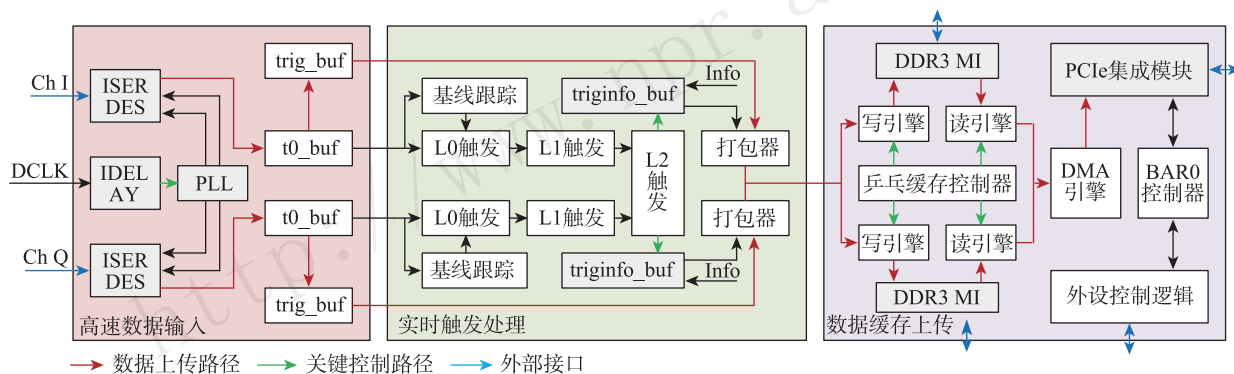


图 3 (在线彩图) 高速数据实时读出方法架构示意图

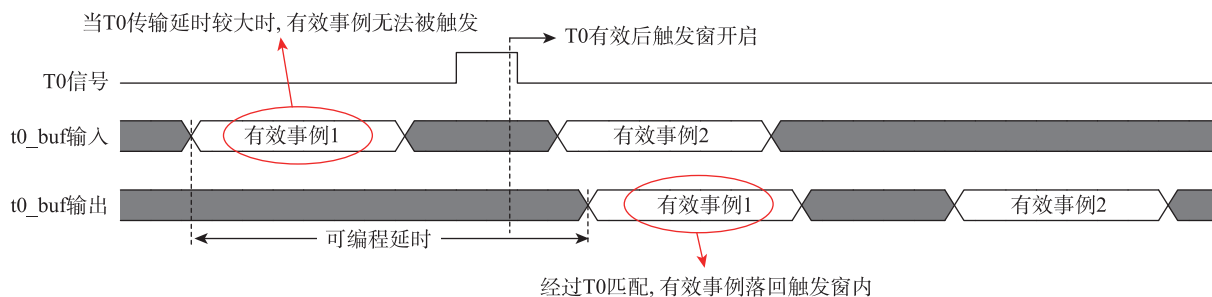


图 4 (在线彩图) T0 匹配示意图

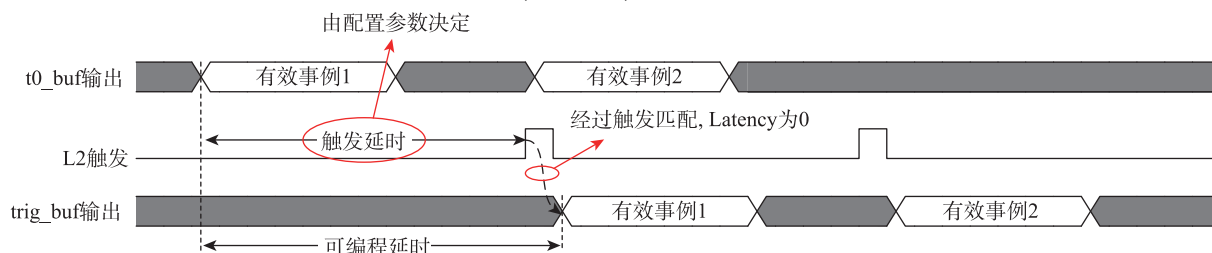


图 5 (在线彩图) 触发匹配示意图

2.2 实时触发处理模块

尽管各个物理实验探测器信号的特征不尽相同,但首批实验的触发要求都是类似的:阈值与过阈时间检测、时间窗检测以及可能需要的单板通道符合。在这样的触发需求下,通过阈值、过阈时间、时间窗等参数配置,FDM可以独立完成触发处理。为便于将来的升级,考虑到可扩展性,触发架构采用多级触发。零级(Level 0, L0)进行阈值与过阈时间检测,即采样点超过指定阈值指定时间后L0触发有效;一级(Level 1, L1)进行时间窗检测,即在触发时间窗内的L0触发有效时L1触发有效;二级(Level 2, L2)根据实验需要进行通道之间的符合等后续处理。

由于部分探测器输出信号幅度较小,基线跟踪模块被用于动态地获取阈值,即阈值跟随基线一起漂移,这样降低了低频噪声引起的基线漂移对触发判选的影响。目前,基线跟踪模块提供了延时均值法和统计修正法两种算法,并具有支持更多算法的能力。延时均值法使用一段时间前的8个点的均值作为基线;统计修正法则通过统计一段时间内的数据点对基线值进行修正。前者在出现双极性信号时可能导致误触发,而后者在基线无规律漂移时可能导致触发工作不正常。因此,为适应尽可能多的场景,进一步提高触发准确度,基线跟踪模块提供了配置接口,以选择合适的基线跟踪算法。

触发有效后,相关触发信息被写入缓存triginfo.buf,数据打包器将触发信息填入包头并将指定长度来自trig.buf的数据填入数据包,填充完成的数据包交由数据缓存模块进行缓存并进行后续操作。当正在填写数据包时,如果触发再次有效,会在此数据包填写完成后立即填充一个附加包,保证触发对应的波形数据不丢失。这种机制被称为“多重触发”,其示意图如图6所示。得益于触发信息的缓存,“多重触发”的重数最高可达60重,几乎可以避免由触发处理带来的死时间。

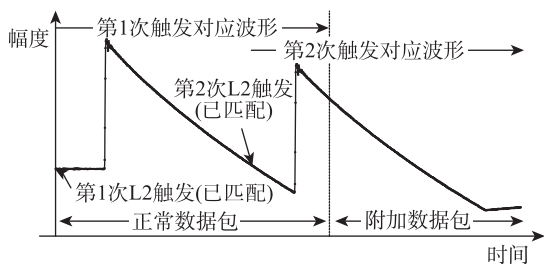


图 6 多重触发示意图

2.3 数据缓存上传模块

为减小系统开销、保证DMA效率,需要使用大容

量DDR3芯片进行缓冲。由于核物理实验中探测器信号是随机的,为避免数据上传带来的死时间,需要两片DDR3芯片以乒乓模式工作。即当数据包被写引擎通过DDR3存储接口(DDR3 Memory Interface, DDR3 MI)写入一片DDR3芯片时,缓存的数据包被读引擎从另一片DDR3芯片中读出至DMA引擎。当触发窗结束时,在乒乓缓存控制器的控制下两片DDR3芯片角色切换,即之前写入数据包的DDR3芯片对应的读引擎开始工作将数据包读出,而之前读出数据包的DDR3芯片对应的写引擎开始工作等待数据包的写入。

通过PCIe集成模块,FPGA与机箱控制器之间实现了两种数据交互的方式:内存直接访问(Direct Memory Access, DMA)与基地址寄存器(Base Address Register, BAR)读写。为保证传输效率,来自DDR3芯片的数据包通过DMA引擎以DMA的方式上传,而外设控制、参数配置、状态检测等则通过BAR0控制器以BAR读写的方式与控制器交互。

3 高速数据实时读出方法测试

为评估第2节中描述的实时读出方法的可行性与正确性,基于此方法实现了FDM的FPGA固件,并针对其进行了一系列实验室条件下的功能测试,其测试平台框图如图7所示,测试现场图片如图8所示。

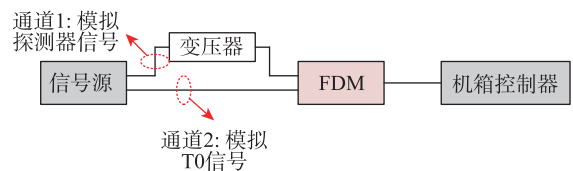


图 7 (在线彩图) 高速数据实时读出方法测试平台

由信号源产生特定的信号,一路模拟探测器信号,经由变压器转为差分信号后送至FDM;另一路模拟T0信号,直接送至FDM。在被T0信号触发后,当检测到有效的探测器信号时,FDM将触发匹配后的信号送至机箱控制器存储。通过分析存储的数据,判断FDM的FPGA固件工作是否正常,进而判断实时读出方法是否满足设计要求。

3.1 波形完整性测试

由第1节可知,实时读出方法的首要功能是高速数据的完整读出。由于FDM使用了高速高精度的ADC,如果FPGA固件处理波形数据出现错误,重建波形将发生畸变,这等同于引入了高次谐波。当使用上述出错数据进行ADC性能分析时,得到的ADC性能将明显降低。因此,通过使用FPGA固件进行ADC性能评

估, 即可得知读出的波形数据是否完整。

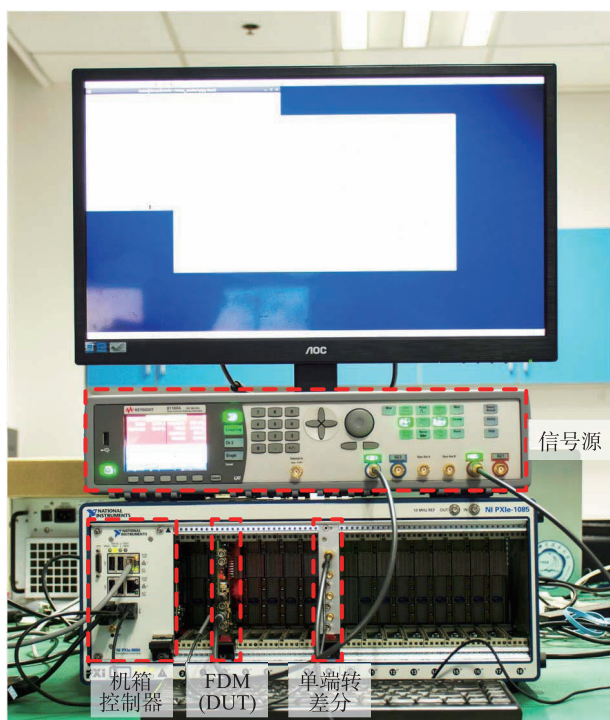


图 8 (在线彩图) 高速数据实时读出方法实验室测试现场图

为进行 ADC 性能评估, 将信号源通道 1 配置为连续的 97.997 MHz 正弦波。为进一步滤除信号源的输出噪声, 在变压器之前加装中心频率为 98 MHz 的窄带滤波器。关闭多重触发功能, 进行数据采集, 并对得到的波形数据使用符合 IEEE1241 规范^[7]的方法进行分析, 得到如图 9 所示的结果。

从上述结果中可以看出, ADC 的有效位高达 9.47, 这与数据手册中给出的有效位典型值 9.6^[8]是相近的。这说明数据读出过程没有引入额外的谐波与噪声, 读出的波形数据是完整的, 即读出方法可以支持高达 24

Gbps 的数据读出。

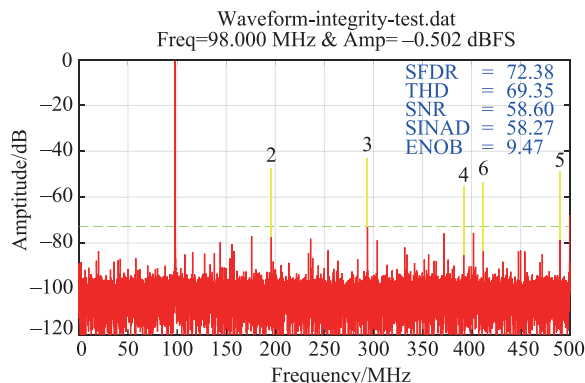


图 9 (在线彩图) 波形完整性测试结果

3.2 T0 与触发匹配测试

T0 与触发匹配是实时读出方法的基本功能之一。为验证其正确性, 将信号源通道 1 配置为连续两次的脉冲, 通道 2 配置为具有一定延时的脉冲, 调节延时使其落在通道 1 的两个脉冲之间。将 T0 匹配设为 0, 进行数据采集; 调整 T0 匹配的配置, 再进行数据采集。得到的两个波形分别如图 10 所示。

从图 10(a) 中可以看出, 波形数据可以还原脉冲波形, 这说明触发匹配是正确的; 在正确配置 T0 匹配参数后, 从图 10(b) 中可以看到 T0 到来之前的脉冲波形, 这说明 T0 匹配工作正常。

3.3 多重触发测试

多重触发也是实时读出方法的重要功能之一, 可以大大减小触发死时间的影响。为验证其正确性, 将信号源通道 1 配置为连续 60 次的三角波脉冲, 打开多重触发功能, 进行数据采集。得到的波形如图 11 所示。

从上述结果中可以看出, 拼接还原的波形不含跳变点, 这说明多重触发功能正常。

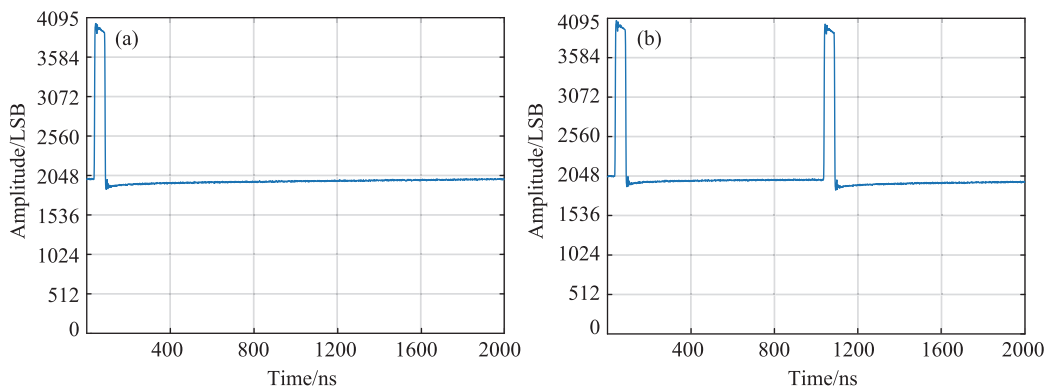


图 10 (在线彩图) T0 与触发匹配测试结果

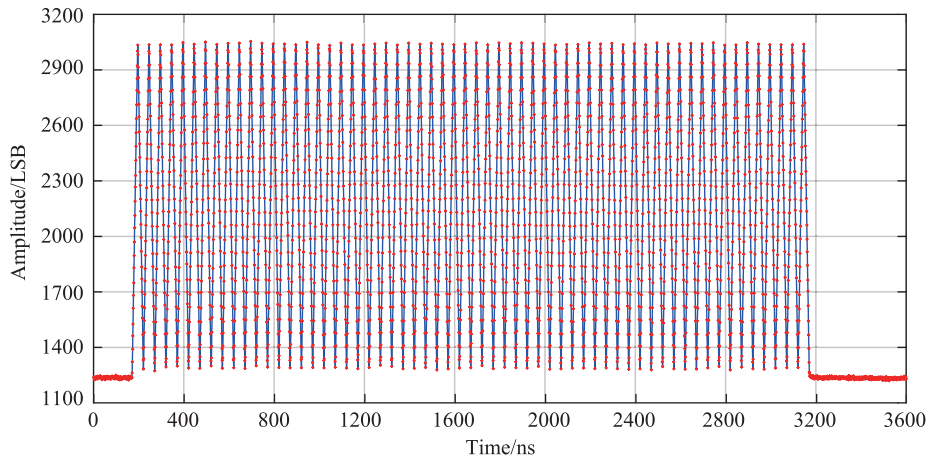


图 11 (在线彩图) 多重触发测试结果

3.4 现场调试安装与首批物理实验

目前, 基于此读出方法实现的波形数字化模块已完成了在 Back-n 白光中子源的现场调试与安装, 现场调试中波形数字化模块工作正常, 现场安装图如图 12 所示。



图 12 (在线彩图) 波形数字化模块物理实验现场图

此外, 在 Back-n 的首批物理实验中, 基于此读出方法实现的波形数字化插件工作稳定, 可以满足物理实验的数据获取需求。

4 总结

针对 Back-n 上开展的首批物理实验谱仪应用需求, 本论文提出了一种基于 FPGA 的高速数据实时处理方法。并基于此方法实现了波形数字化模块的 FPGA 固件, 对其完成了一系列测试。测试结果表明, 波形数字化模块的各项功能工作正常, 可以达到首批实验需求。这说明, 此方法是能够适应 Back-n 波形数字化模块的高速数据读出需求的。

参考文献:

- [1] CHEN Yanwei. Bulletin of Chinese Academy of Sciences, 2011, **26**(6): 726. (in Chinese)
(陈延伟. 中国科学院院刊, 2011, **26**(6): 726.)
- [2] JING H T, TANG J Y, TANG H Q, *et al.* Nucl Instr Meth A, 2010, **621**(1-3): 91.
- [3] AN Q, BAI H Y, BAO J, *et al.* Journal of Instrumentation, 2017, **12**(07): P07022.
- [4] WANG Q, CAO P, QI X, *et al.* Review of Scientific Instruments, 2018, **89**(1): 013511.
- [5] WANG Q, CAO P, ZHANG D, *et al.* IEEE Transactions on Nuclear Science, 2017, **64**(7): 1988.
- [6] Xilinx. 7 Series FPGAs SelectIO Resources User Guide (UG471).
- [7] IEEE collaboration. IEEE Standard for Terminology and Test Methods for Analog-To-Digital Converters [R]. IEEE Std, 2000.
- [8] Texas Instruments. ADC12D1000 Datasheet.

Real-time Readout Method of Waveform Digitizing Module at Back-n

QI Xincheng^{1,2}, CAO Ping^{1,2,†}, WANG Qi^{1,3}, YU Tao^{1,3}, AN Qi^{1,3}

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. Department of Engineering and Applied Physics, University of Science and Technology of China, Hefei 230026, China;

3. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract: Back-n is a back-streaming beam line at China Spallation Neutron Source, which is suitable for measure nuclear data precisely. The readout electronics of the spectrometers at this facility adopts general-purpose design method, using high-speed waveform digitizing technology to record the detector output signal accurately. To read out two channels, 1 GSps, 12 bit sample data and control on-board devices, the real-time readout method of high-speed data based on FPGA technology can be considered. The method not only realizes the general requirements of the data upload, but also processes real-time triggers according to experiments via configuration. In addition, due to the flexibility of FPGAs, new experiments or new features can be supported through firmware updates. The test results show that the method is suitable for the high-speed data readout of field digitizing module at Back-n and peak capacity reaches up to 24 Gbps, which meets the requirements of the physical experiment. The field digitizing modules based on this method were installed at Back-n and work normally.

Key words: FPGA; waveform digitization; readout electronics; spallation neutron source

Received date: 9 Mar. 2018; **Revised date:** 30 Mar. 2018

Foundation item: National Key Research and Development Program (2016YFA0401602)

† **Corresponding author:** CAO Ping, E-mail: cping@ustc.edu.cn.