

RESET 等信号线分别与 FPGA 的 IO 引脚相连, W5100 的 REST_BG 物理层片外引脚通过 $12.3\text{ k}\Omega\pm 1\%$ 的电阻到地, SPI 接口使能引脚 SEN 接地。为进一步优化系统性能, RJ45 网络接口选择内部集成网络变压器, RJ45 网络接口与 W5100 的接收差分线 RXIP/RXIN 和发送差分线 TXOP/TXON 之间分别并联 2 个 $49.9\ \Omega$ 的电阻以实现阻抗匹配。发射机数据传输系统本地控制板如图 2 所示。

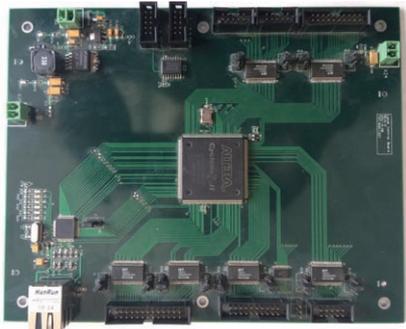


图 2 (在线彩图) 高频发射机数据传输系统本地控制板实物图

3 软件设计

3.1 高频发射机数据传输系统本地控制板软件设计

W5100 网络功能主要通过对其通用寄存器和端口寄存器配置实现, W5100 相关存储器映像如图 3 所示。



图 3 W5100 相关存储器映像

高频发射机数据传输系统本地控制板软件设计是基于 W5100 的 TCP Server, 采用 Verilog 语言, 设计 FPGA 状态机控制 W5100, 实现发射机数据传输系统本地控制板软件设计, 程序流程图如图 4 所示。

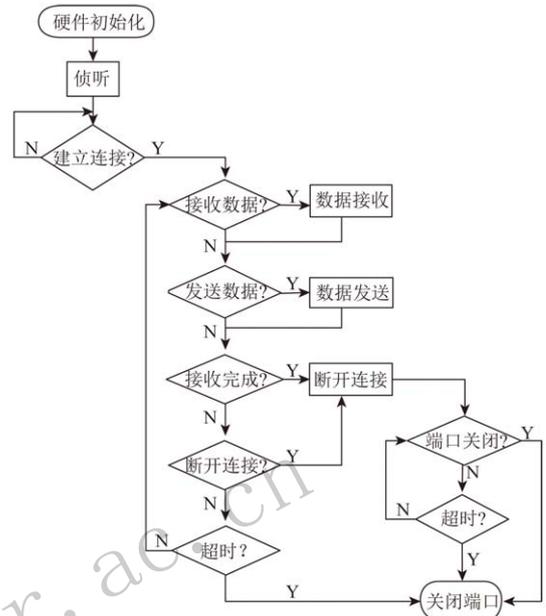


图 4 FPGA 控制 W5100 的 TCP Server 程序流程

W5100 初始化, 进行硬件复位 W5100, SHAR (源 MAC 地址寄存器) 设置, GAR (网关地址寄存器) 设置, SUBR (子网掩码寄存器) 设置, SIPR (本机 IP 地址寄存器设置) 以及相应端口中断寄存器设置。

侦听用于将 W5100 设置为 TCP Server 模式, 借助端口 S0_SR(端口 0 状态寄存器), 判断与客户端建立连接, 为数据收发做准备。

数据的接收、发送通过 S0_RX_RSR(端口 0 接收数据字节数寄存器), S0_RX_RR(端口 0 接收缓冲区读指针寄存器) 以及 S0_TX_FSR(端口 0 发送存储器剩余空间寄存器), S0_TX_WR(端口 0 传输写指针寄存器) 实现, 由于从 S0_RX_RR、S0_TX_WR 读出、写入的地址不是实际的物理地址, 必须先计算实际的物理地址, 然后读出、写入相应的数据。W5100 寄存器、存储器写入时序如图 5 所示。

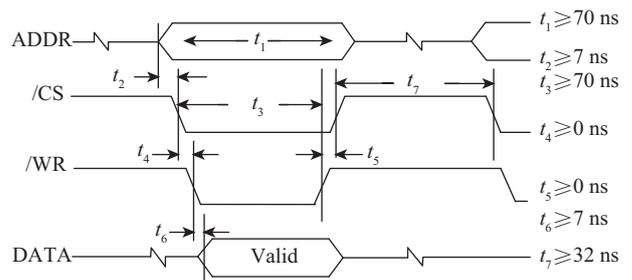


图 5 W5100 寄存器/存储器写入时序图

本设计中 FPGA 时钟频率为 50 MHz，选用 50 MHz 时钟来进行数据和地址的写操作，即写周期为 20 ns，同时以 50 MHz 时钟频率来控制状态机。借助 Modelsim 软件，进行 W5100 初始化模块仿真，相关配置寄存器写入时序仿真波形如图 6 所示。采用 FPGA

状态机实现 W5100 初始化相关寄存器的写入操作，SHAR 寄存器地址为 0x0009 0x000A 0x000B 0x000C 0x000D 0x000E，设计中将 SHAR(源 MAC 地址寄存器)配置为 00 08 DC 01 02 03，图 6 中 SHAR 寄存器写入仿真时序波形图部分完全满足 W5100 要求的时序。



图 6 (在线彩图) W5100 初始化模块相关寄存器/存储器写入 modelsim 时序仿真图

3.2 高频发射机数据传输系统上位机监控界面软件设计

高频发射机数据传输系统上位机监控界面利用 Flash Builder 平台，采用 Java 编程语言设计实现。发

射机上位机监控界面以网页形式发布。发射机上位机监控界面负责高频发射机腔体电压幅度、相位波形的回采、发射机工作状态各参数的实时监控以及发射机开关机本控、远控模式的切换等，如图 7 所示。

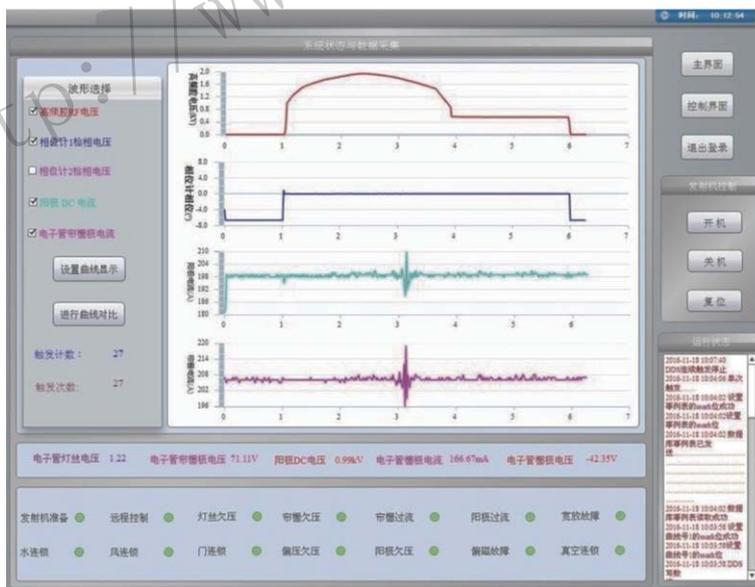


图 7 (在线彩图) 高频发射机数据传输系统上位机监控界面

高频发射机数据传输系统本地控制板将采集到的发射机各状态参数(水连锁、风连锁、门连锁、真空连锁、大功率四级管各级电压到位情况、偏磁、宽放信号等)通过本地控制板以太网实时的传输到发射机上位机监控

界面。当传输的数据是正常数据时，发射机工作状态相应的指示灯呈现出绿色，否则为红色，此时，发射机上位机监控界面通过以太网发送命令到本地控制板，封锁高频发射机，完成高频发射机可靠的远程监控。

4 系统测试

发射机数据传输系统本地控制板调试分几步进行, 首先使用 Ping 命令检验 W5100 初始化是否成功。然后进行本地控制板数据收发的调试, 在数据收发测试中, 采用 Quartus 软件自带的同步 FIFO IP 核来验证数据收发的回环测试。运行 TCP&UDP 测试工具, 将目标 IP 地址设置为 192.168.0.30, 目标端口号设置为 5 000, 通过 TCP&UDP 测试工具向本地控制板发送一组数据,

系统板卡成功将发送来的数据传回上位机, 经 48 小时连续测试, 无数据丢失, 发射机本地控制板 FPGA 控制的 W5100 以太网通信正常。

最后将发射机本地控制板接入上位机发射机监控界面, 通过以太网实现发射机工作状态各参数的实时交互。期间借助 AX1 测试工具, 基于 FPGA 与 W5100 设计的数据传输系统数据传输速率及数据传输时间测试结果如图 8 所示。

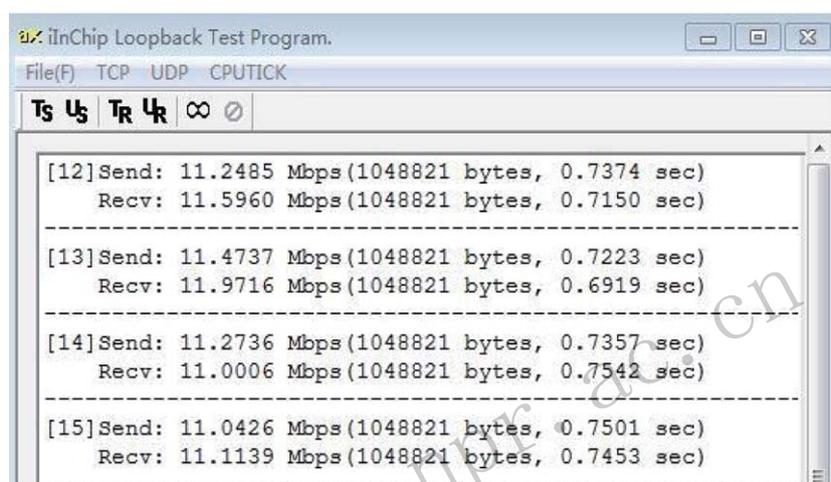


图 8 (在线彩图) 基于 FPGA 与 W5100 设计的数据传输系统数据传输速率及数据传输时间

此系统数据平均传输速率能达到 11.32 Mbps, 1 MByte 数据文件传输时间仅需要 0.74 s。

5 结论与展望

本系统采用 FPGA 与 W5100 接口芯片相结合的方式设计的发射机数据传输系统, 通过 FPGA 有限状态机控制 W5100 收发数据, 同时利用 Flash builder 设计高频发射机上位机监控界面, 实现了高频发射机水、真空、门连锁信号, 大功率四级管灯丝、栅极、帘栅、板极电压等相关参数的监控以及发射机远程开关机控制。经测试, 该系统的传输速度、可靠性可满足当前应用需求。后续计划在兰州重离子加速器冷却储存环实验环 (CSRe) 上采用本系统, 不同于 Himm 同步高频单电子管工作模式, CSRe 采用双电子管推挽放大模式, 监控的数据量将翻倍, 其速度要求将更高, 数据传输系统还需进一步优化升级。

参考文献:

- [1] SONG Mingtao, ZHAN Wenlong, WEI Baowen, *et al.* *Nuclear Physics Review*, 2001, **18**(2): 116. (in Chinese) (宋明涛, 詹文龙, 魏宝文, 等. *原子核物理评论*, 2001, **18**(2): 116.)
- [2] XIAO Guoqing, ZHANG Hong, LI Qiang, *et al.* *Nuclear Physics Review*, 2007, **24**(2): 85. (in Chinese) (肖国青, 张红, 李强, 等. *原子核物理评论*, 2007, **24**(2): 85.)
- [3] ZHANG Wenzhi, WANG Fengwen, XU Zhe, *et al.* *Atomic Energy Science and Technology*, 2006(04): 490. (in Chinese) (张文志, 王凤文, 许哲, 等. *原子能科学技术*, 2006(04): 490.)
- [4] GUN Chun, LI Jinming, ZHU Ping, *et al.* *Chinese Journal of Electron Devices*, 2017, **40**(02): 370. (in Chinese) (郭淳, 李锦明, 朱平, 等. *电子器件*, 2017, **40**(02): 370.)
- [5] LIU Guande, YU Xuefei. *Journal of Biomedical Engineering Research*, 2008, **27**(3): 201. (in Chinese) (刘关德, 余学飞. *生物医学工程研究*, 2008, **27**(3): 201.)
- [6] WU Nan. *Computer&Network*, 2011, **37**(Z1): 107. (in Chinese) (武楠. *计算机与网络*, 2011, **37**(Z1): 107.)

Design of the Data Transfer System for Radio Frequency Transmitter Based on FPGA and W5100

HAN Xiaodong, XU Zhe, CONG Yan[†], LI Shilong, ZHANG Ruifeng, YI Xiaoping

(*Institute of Modern Physics, Chinese Academy of Sciences, Lanzhou 730000, China*)

Abstract: Radio frequency system is the power core of Heavy Ion Medical Machine. Transmitter, as a key component of the high frequency system, depends heavily on the monitoring system to ensure its stability and reliability. In order to perform a reliable transmission of remote monitoring data of transmitter working state, a data transmission system based on field programmable gate array (FPGA) and network interface chip (W5100) is proposed. The system consists of three parts. Firstly, the hardware of the data transmission system is designed based on FPGA and W5100. Secondly, the reliable data communication under TCP Server mode is achieved by using Hardware Description Language (HDL). Finally, the upper computer monitoring interface is designed and realized by using Flash Builder platform. After a long time testing, the system runs stably and reliably, and the average data transmission rate reaches 11.32 Mbps. The system is capable of remote monitoring to the high frequency transmitters.

Key words: FPGA; W5100; TCP; Data Transfer; Upper computer monitor interface

<http://www.npr.ac.cn>

Received date: 9 Apr. 2018; **Revised date:** 30 May 2018

Foundation item: National Natural Science Foundation of China (11505252)

[†] **Corresponding author:** CONG Yan, E-mail: congyan@impcas.ac.cn.